

51

BUNDESREPUBLIK DEUTSCHLAND

DEUTSCHES



PATENTAMT

Int. Cl.:

G 06 f, 9/20

G 06 f, 13/06

G 06 f, 11/00

52

Deutsche Kl.:

42 m3, 9/20

42 m3, 13/06

42 m3, 11/00

10

11

21

22

43

Offenlegungsschrift 2 400 161

Aktenzeichen: P 24 00 161.4

Anmeldetag: 3. Januar 1974

Offenlegungstag: 18. Juli 1974

Ausstellungspriorität: —

30

Unionspriorität

32

Datum:

3. Januar 1973

33

Land:

V. St. v. Amerika

31

Aktenzeichen:

320790

54

Bezeichnung:

Datenverarbeitungssystem und in diesem enthaltenes Speichersystem

61

Zusatz zu: —

62

Ausscheidung aus: —

71

Anmelder:

Honeywell Information Systems Inc., Waltham, Mass. (V.St.A.)

Vertreter gem. §16 PatG:

Bardehle, H., Dipl.-Ing., Pat.-Anw., 8000 München

72

Als Erfinder benannt:

DeVoy, David D., Dedham; Barlow, George J., Tewksbury;
Mass. (V.St.A.)

DT 2400161

Dipl.-Ing. Heinz Bardehl
Patenterwalt
8 München 22, Herrstr. 15, Tel. 292553
Postanschrift München 26, Postfach 4

2400161

München, den 3. Jan. 1974

Mein Zeichen: P 1811

Anmelder: Honeywell Information Systems Inc.
200 Smith Street
Waltham, Mass. 02154
V. St. A.

Datenverarbeitungssystem und in diesem
enthaltenes Speichersystem

Die Erfindung bezieht sich auf Speichersysteme und insbesondere auf Verfahren zur Erleichterung der Wartung von Speichersystemen.

Einige bekannte Rechnersysteme haben Anordnungen für die Änderung der Konfiguration von wesentlichen physikalischen Einheiten in einem modularen Rechnersystem benutzt, und zwar durch Hinzufügen und Wegnehmen von Speichermoduln zu bzw. von dem System für Wartungszwecke. In diesen Systemen werden manuell betätigbare Schalter dazu benutzt, das System entweder in gesonderte isolierte Untersysteme zu gliedern oder Einrichtungen für die Modifizierung der Adressenzuteilung an den Speichermoduln vorzusehen, so

409829/0977

2400161

daß das Modul eine Wartung erfahren könnte, ohne daß das System abgeschaltet würde.

Obwohl die obigen bekannten Systeme Einrichtungen für eine Neuzusammenstellung eines Systems zum Zwecke der Überprüfung bereitstellen, ohne die normalen Rechneroperationen zu stören, erfordern derartige Systeme jedoch noch die Festlegung der Systemkonfiguration durch einen Operator, der manuell betätigbare Schalter betätigt. Damit sind diese System den Operatorfehlern ausgesetzt, die durch unbeabsichtigte Operator-Ausfallvorgänge hervorgerufen werden. Darüber hinaus können die bisher bekannten Systeme keine Einrichtungen bereitstellen für eine automatische Abtrennung von fehlerhaften Moduln und für eine automatische Anschaltung sämtlicher derartiger Moduln im sogenannten Off-Line-Betrieb für eine anschließende Überprüfung oder einen Ersatz, ohne daß die Arbeitsweise des übrigen Teiles des Systems gestört wird.

Andere bekannte Systeme haben die Neuzusammenstellung bestimmter physikalischer Moduln dadurch ermöglicht, daß redundante oder doppelte Moduln verwendet wurden. Wenn ein Fehler aufgetreten ist, würde eine Bedienperson bzw. ein Operator normalerweise die doppelten Moduln einsetzen. Diese Systeme sind jedoch teuer, und zwar insofern, als die Moduln oder Einheiten die Hauptsystembauteile doppelt vorsehen lassen. Darüber hinaus ist auch hierbei die Bedienperson erforderlich, um den Modulaustausch einzuleiten, was Fehlern durch unbeabsichtigte Auswahlvorgänge ausgesetzt ist.

409829/0977

2400161

Der Erfindung liegt demgemäß die Aufgabe zu Grunde, ein Anordnung für die Verwendung in einem Datenverarbeitungssystem zu schaffen, in welchem eines oder mehrere fehlerhafte Speichermoduln aus einer Vielzahl von ein Speichersystem des Datenverarbeitungssystems bildenden fehlerhaften Speichermoduln automatisch von dem System freigegeben werden sollen, wobei die sofortige Wiedereinbeziehung des Systems ermöglicht sein soll. Darüber hinaus soll ein Verfahren zur automatischen Neuzusammenstellung der übrigen Speichermoduln des Speichersystems zwecks Bildung eines neuen fortlaufenden Adressenraumes angegeben werden. Ferner soll eine Anordnung bereitgestellt werden, welche einer Bedienperson ermöglicht, automatisch die Neuzusammenstellung der verfügbaren Speicherhilfsquellen eines Systems zwecks Bildung eines durchgehenden Adressenraumes einzuleiten. Darüber hinaus soll eine Anordnung geschaffen werden, welche die automatische Beseitigung fehlerhafter Speichermoduln aus einem Speichersystem sowie die Hinzufügung von Reservemoduln für die Aufrechterhaltung einer gewünschten adressierbaren Speicherplatzgröße ermöglicht.

Gelöst wird die vorstehend aufgezeigte Aufgabe durch die im Patentanspruch 1 angegebene Erfindung. Gemäß einer bevorzugten Ausführungsform der Erfindung ist ein Speichersystem geschaffen, welches eine Vielzahl von Speichermoduln enthält. Die Anordnung gemäß der Erfindung enthält eine Adressen-Einstellanordnung für jedes Modul, welche Anordnung eine Adresse bezeichnet, die für den Zugriff des Moduls verwendet wird. Ferner ist eine Einrichtung vorgesehen, welche festzustellen gestattet, daß die Moduln einen minimalen Standardwert an Zuverlässigkeit während des Betriebs erfüllen. Bei der bevorzugten Ausführungsform ermitteln die zuletzt erwähnten Einrichtungen

409829/0977

2400161

jedes Auftreten eines Fehlers in der Information, die durch Zugriff aus dem Speichersystem erhalten wird. Somit ist die hinsichtlich der Zuverlässigkeit benutzte Standardgröße bei der bevorzugten Ausführungsform gegründet auf den Zusammenhang bzw. die Integrität der Information, zu der ein Zugriff erfolgt.

Die Adressen-Einstellanordnungen der Moduln sind derart in Reihe geschaltet, daß die Adressen-Einstellanordnung eines Moduln im Betrieb Adressensignale modifiziert, die von der Adressen-Einstellanordnung eines vorhergehenden Moduln aufgenommen worden sind. Außerdem gibt die betreffende Adressen-Einstellanordnung die modifizierten Adressensignale an die Adressen-Einstellanordnung eines nachfolgenden Moduln weiter. Darüber hinaus gibt jede Adressen-Einstellanordnung die modifizierten Adressensignale, die sie erzeugt, an ihr zugehöriges Modul ab, um für den Zugriff des Moduln verwendet zu werden. Auf die Aufnahme eines Befehlssignals hin veranlaßt die Leseeinrichtung bzw. Feststelleinrichtung jedes der als einen Fehlerzustand enthaltend festgestellten Moduln, die Antwort auf Adressensignale zu sperren, die von der zentralen Verarbeitungseinheit abgegeben worden sind. Dies führt effektiv dazu, daß die schlechten Moduln verknüpfungsmäßig von dem System abgetrennt werden. Demgemäß veranlaßt die Leseeinrichtung bzw. Feststelleinrichtung die Adressen-Einstellanordnung des jeweils schlechten Moduln, eine Modifizierung der Adressensignale zu sperren bzw. zu verhindern, die ihrem Eingang zugeführt worden sind; diese Adressensignale werden zu einer Einstelleinheit eines nachfolgenden Moduln übertragen, wodurch automatisch die Adressensignale geändert werden, die den übrigen Speichermoduln zugeführt werden. Dadurch wird ein neuer, durchgehender

409829/0977

2400161

Adressenraum gebildet.

Die Beseitigung bzw. Entfernung eines fehlerhaften Moduls veranlaßt ferner die Adressen-Einstellanordnung eines letzten Speichermoduls, Adressensignale zu erzeugen, die kennzeichnend sind für die Anzahl der Moduln, die gerade arbeiten. Dies heißt, daß die Adressensignale, die von der Adressen-Einstellanordnung des letzten Moduls erzeugt worden sind, der maximalen Anzahl von Moduln in dem System vermindert um den rechnerischen Wert der Anzahl fehlerhafter Moduln entsprechen. Diese Signale werden zu der zentralen Verarbeitungseinheit hin übertragen.

Die zentrale Verarbeitungseinheit verwendet Modulnnummern-Adressensignale, die sie von der Einstelleinrichtung des letzten Moduls erhalten hat, um die maximalen Grenzen des adressierbaren Speichers innerhalb des Systems festzulegen. Wenn die zentrale Verarbeitungseinheit versucht, einen Zugriff zu einem Wortspeicherplatz oberhalb der maximalen festgelegten Grenze zu erhalten, veranlaßt dies die Einrichtung in der zentralen Verarbeitungseinheit, ein geeignetes Prüfungssignal zu erzeugen.

Gemäß einer bevorzugten Ausführungsform enthält das Speichersystem eine Kombination von kleinen Speichermoduln. Gemäß der Erfindung wird eine geringe Zunahme des Speichers für die Modulgröße gewählt, da dies den Vorteil mit sich bringt, daß weniger Speicherplatz im Falle eines Fehlers verloren geht. Da die Speichergröße eine direkte Auswirkung auf das Systemleistungsvermögen hat, und zwar insbesondere in einem Mehrprogrammbereich, ist die Verminderung des Speicherleistungsvermögens im Falle eines Speicherausfalls ebenfalls relativ gering

2400161

gehalten. Weitere Vorteile, die sich aus der Anwendung von kleinen Speichermoduln ergeben, sind in einem Artikel unter dem Titel "A Case for Increasing the Modularity of Large Performance Digital Memories" von David D. DeVoy und D.W. Moore in der Druckschrift "Honeywell Computer Journal" Vol. 5, No. 2, veröffentlicht 1971, beschrieben.

Die Erfindung dient darüber hinaus zur automatischen Hinzufügung eines Reservespeichermoduls während der Neuzusammensetzung, wodurch dem Anwender der Vorteil gegeben ist, denselben Adressenraum unabhängig von einem Modulausfall beibehalten zu können. Erreicht wird dies dadurch, daß eine Einrichtung vorgesehen ist, welche eine bestimmte Modulanzahl für das System festlegt, die die Adresseneinrichtung des Reservespeichermoduls für den Betrieb freigibt, wenn diese Anzahl niedriger ist als die bestimmte Modulanzahl.

Ein weiterer Vorteil der Reservemodulanordnung besteht darin, daß in verschachtelten Mehrzeichensystemen, wie sie in dem obigen Artikel beschrieben sind, der Ausfall eines einzigen Moduls eine Verschachtelung in demselben Ausmaß ermöglichen wird wie dies vor dem Auftreten der Ausfälle bzw. Fehler war. Da eine geringe Zunahme des Speichers für die Modulgröße ausgewählt worden ist, senken die Kosten der Einbeziehung der Reservemodul-Eigenschaft die Kosten, die sich aus der Hinzufügung von Moduln zu dem System für diesen Zweck ergeben würden.

An Hand von Zeichnungen wird die Erfindung nachstehend an Ausführungsbeispielen näher erläutert.

Fig. 1 zeigt in einem Blockdiagramm ein die vorliegende Erfindung umfassendes System.

409829/0977

2400161

Fig. 2 zeigt in größeren Einzelheiten Teile von in Fig. 1 dargestellten Speicherschnittstellenschaltungen.

Fig. 2a zeigt in größeren Einzelheiten Schaltungen eines in Fig. 2 dargestellten Adressenschaltungsbereichs.

Fig. 2b zeigt in größeren Einzelheiten Schaltungen eines in Fig. 2 dargestellten Zeitsteuergenerators und Phasenschaltungsteiles.

Fig. 2c und 2d zeigen in weiteren Einzelheiten Schaltungen eines Modul-Neuzusammenstellungs-Verknüpfungsschaltungsbereichs gemäß Fig. 2.

Fig. 2e zeigt in weiteren Einzelheiten Schaltungen eines in Fig. 2 dargestellten Modulauswahlbereichs.

Fig. 2f zeigt in weiteren Einzelheiten Schaltungen eines in Fig. 2 dargestellten Modulfreigabelogikbereichs.

Fig. 2g zeigt in weiteren Einzelheiten Schaltungen eines Paritätsprüflogikschaltungsbereichs gemäß Fig. 2.

Fig. 2h zeigt in weiteren Einzelheiten Schaltungen eines Daten-Verriegelungsverstärkerschaltungsbereichs gemäß Fig. 2.

Fig. 2i zeigt in weiteren Einzelheiten Schaltungen eines Modul-Anzeigezustandsbereichs gemäß Fig. 2.

Fig. 2j zeigt in weiteren Einzelheiten Schaltungen eines Schreib-Datenlogikbereichs gemäß Fig. 2.

Fig. 3 zeigt in einem Wartungssteuerfeld enthaltene Schaltungen.

Fig. 4a zeigt einen Teil einer in Fig. 1 dargestellten Zentraleinheit für die Verarbeitung von bestimmten Fehlerprüfbedingungen.

Fig. 4b zeigt Schaltungen in der Zentraleinheit gemäß Fig. 1 für die Feststellung eines nicht vorhandenen Fehlerprüfzustands gemäß der Erfindung.

Fig. 5a bis 5h zeigen den durch das Speichersystem gemäß Fig. 1 unter bestimmten festgelegten Bedingungen bereitgestellten Adressenraum.

2400161

Im folgenden sei die bevorzugte Ausführungsform der Erfindung näher erläutert. In Fig. 1 ist in Blockdiagrammform ein Datenverarbeitungssystem gezeigt, welches die Anordnung gemäß der Erfindung enthält. Wie dargestellt, enthält das System eine Verarbeitungseinrichtung bzw. einen Prozessor 10 für eine variable Länge besitzende Zeichen und ein Hauptspeichersystem 20. Der Prozessor 10 sei von herkömmlichem Aufbau; er kann z.B. die Form der Zentraleinheit haben, die in der US-PS 3 331 056 angegeben ist.

Das Hauptspeichersystem 20 ist so organisiert, daß es zwei Reihen von Speicherbanken 22-1 und 22-2 enthält. Die Speicherbank 22-1 enthält materiell gesehen Gruppen von vier Speichermoduln 24-1 bis 24-4, und die Speicherbank 22-2 enthält die Einheiten 26-1 bis 26-4. Jede der Banken stellt einen adressierbaren Speicherplatz von insgesamt 65 536 36-Bit-Worten bereit. Jede Einheit enthält vier zeichenbreite Speichermoduln, was zu insgesamt 65 536 Neun-Bit-Zeichen des adressierbaren Speicherraumes in Schritten von 16 384 Zeichen führt. In jeder Spalte wird jede Gruppe der Speichermoduln N0 bis N7 unabhängig durch Zeit- und Steuerschaltungen betrieben, die in unterschiedlichen Einschüben 29-1 bis 29-8 enthalten sind, welche, wie dargestellt, in den Speicherschnittstelleneinrichtungen 28-1 bis 28-4 enthalten sind.

Jede Schnittstelleneinrichtung ist mit der Zentraleinheit bzw. Verarbeitungseinrichtung 10 über einen Bereich eines örtlichen 36-Bit-Speicherregisters (nicht gezeigt) verbunden. Jede Schnittstelleneinrichtung ermöglicht den Zugriff zu einem Zeichenspeicherplatz eines bezeichneten Speichermoduls eines Einschubs. Dies bedeutet, daß die Speicherschnittstelleneinrichtung für eine Spalte die dabei

2400161

vorgesehenen Einschübe mit den notwendigen Eingangszeitsteuersignalen, Adressensignalen, Informations- und Steuerungssignalen für die Adressierung eines Zeichenspeicherplatzes innerhalb eines der Moduln NO bis N7 über einen Satz von Leitern versorgt, die in einer entsprechenden Sammelleitung der Sammelleitungen 30-1 bis 30-4 enthalten sind; außerdem dient die Zuführung der betreffenden Signale zum Auslesen des Inhalts und Abgabe an einen weiteren Satz von Leitern, die in derselben Sammelschiene enthalten sind, wobei das Auslesen während eines Leseoperationszyklus erfolgt. Während eines Schreiboperationszyklus wird anstelle des Einschreibens desselben Inhalts, der ausgelesen worden ist, in den Speicherplatz, die an den anderen Satz von Leitern abgegebene Information in den adressierten Speicherplatz eingeschrieben. Diese Anordnung ermöglicht der Zeichenverarbeitungseinrichtung 10, einen Zugriff bis zu vier ^{Zeichen} gleichzeitig auszuführen, und zwar zusätzlich zu der Herabsetzung der effektiven Speicherzugriffszeit pro Zeichen. Gemäß der Erfindung speisen die Moduln eines ersten Einschubs in jeder Schnittstelleneinrichtung die Moduln des nächsten Einschubs mit Modulnummern-Adresseninformationssignalen, und zwar über ein entsprechendes Kabel der Kabel 32-1 bis 32-4. Die Modulnummern-Signale werden außerdem von dem letzten Modul jeder Spalte (das ist das Modul N7) über ein entsprechendes Kabel der Kabel 34-1 bis 34-4 zu der Zentraleinheit 10 hin geleitet. Dies ermöglicht der Zentraleinheit 10 festzustellen, wenn die Adressensignale den zur Verfügung stehenden maximalen Speicheradressenraum bzw. -platz überschreiten.

In Fig. 2 sind in Blockdiagrammform die Elemente dargestellt, die in dem Speichereinschub 20-1 gemäß Fig. 1 enthalten sind. Diese Elemente enthalten die Anordnung gemäß

409829/0977

2400161

der Erfindung sowie diejenigen Elemente, welche den normal n Betrieb einer Gruppe von vier Moduln steuern. Die übrigen Einschübe 29-2 bis 29-8 enthalten den Schaltungsanordnungen des Einschubs 29-1 entsprechende Schaltungsanordnungen, weshalb die Schaltungsanordnungen der betreffenden übrigen Einschübe nicht weiter beschrieben werden.

Wie aus Fig. 2 hervorgeht, enthält die Speichereinschub-Schnittstelleneinrichtung 29-1 als Hauptbauteile die Bereiche 202 bis 216, die in der dargestellten Weise angeordnet sind. Die verschiedenen Zeitsteuersignale, Steuerungssignale, Adressensignale und Datensignale werden zwischen dem Einschub 29-1 und der Zentraleinheit 10 über herkömmliche Kabeltreiber-Empfangsschaltungen übertragen, die in den Blöcken 218-1 bis 218-3 enthalten sind. Die Zeitsteuersignale, Auswahlssignale, Adressensignale und Datensignale werden zwischen dem Speichereinschub 24-1 und den verschiedenen Bereichen der vier Speichermoduln des Einschubs, wie dies in Fig. 2 gezeigt ist, übertragen.

Jedes der Moduln NO bis N3 enthält einen Koinzidenzstrom-Kernspeicher in der Form zweier 8 192 Neun-Bit-Zeichen-Stapelspeicher herkömmlichen Aufbaus. Außerdem enthält jedes Speichermodul Zeitsteuer- bzw. Takt- und Steuerungsschaltungen, Adressenpufferschaltungen, Auswahlsschaltungen, Leseverstärkerschaltungen, Sperrschaltungen und Schnittstellenschaltungen, die für den Zugriff zu einem Speicherplatz von 16 358 Neun-Bit-Zeichen-Speicherplätzen erforderlich sind, um entweder ein Neun-Bit-Datenzeichen einzuschreiben oder um ein Neun-Bit-Datenzeichen aus einem adressierten Zeichenspeicherplatz auszulesen.

409829/0977

2400161

Bei der bevorzugten Ausführungsform der Erfindung ist jedem der v Speichermoduln N_0 bis N_3 gemäß Fig. 3 individuell eine Einstelleinheit einer entsprechenden Anzahl von Einstelleinheiten $210-1$ bis $210-1d$ zugeordnet, die in dem Block 210 enthalten sind. Während des normalen Betriebs arbeitet jede Einstelleinheit in der Weise, daß sie eine Verknüpfungsadresse zur Bezeichnung ihres zugehörigen Moduls erzeugt sowie für den Zugriff zu dem Modul. Wie noch im einzelnen erläutert werden wird, erzeugt jede Einstelleinheit die Verknüpfungsadresse dadurch, daß sie einen Satz von Adressensignalen modifiziert, die ihren Eingangsanschlüssen zugeführt werden, und daß sie die modifizierten Adressensignale an einen Satz von Ausgangsanschlüssen abgibt. Die Einstelleinheiten der Moduln sind in Reihe geschaltet, so daß die Einstelleinheit eines Moduls die Adressensignale modifiziert, die sie von der Einstelleinheit eines vorhergehenden Moduls empfängt. Außerdem gibt die betreffende Einstelleinheit die modifizierten Adressensignale an die Einstelleinheit eines nachfolgenden Moduls ab. Bei einer Ausführungsform empfängt die Einstelleinheit des Moduls 1 einen Satz von bestimmten Adressen, welche die betreffende Einheit dazu benutzt, die erste Verknüpfungsadresse zu erzeugen. Die Einstelleinheit des Moduls 4 gibt die Adressensignale an ihrem Satz von Ausgangsanschlüssen entweder an die Zentraleinheit oder an eine weitere Einstelleinheit ab, wie dies erläutert wird.

Darüber hinaus gibt jede der Einstelleinheiten die modifizierten Adressensignale an ihr zugehöriges Modul ab, in welchem die betreffenden Adressensignale beim Zugriff in dem betreffenden Modul verwendet werden. Insbesondere werden die modifizierten Adressensignale einer entsprechenden

409829/0977

2400161

Modulauswahlschaltung einer Vielzahl von Modulauswahlschaltungen zugeführt, die in dem Block 206 gemäss Fig. 2 enthalten sind. Jede dieser Schaltungen arbeitet, wie hier erläutert werden wird, in der Weise, dass sie ihr zugehöriges Modul für einen Zugriff veranlasst, wenn eine Bezeichnung durch die vier Adressenbits hoher Wertigkeit des 16-Bit-Adressencodes vorliegt, der von dem Zentralsteuerwerk erzeugt wird. Die in dem Block 214 enthaltenen Schaltungen arbeiten in der Weise, dass sie festzustellen gestatten, ob jedes der Speichermoduln eine minimale Standardgrösse an Zuverlässigkeit erfüllt. Diese Feststellung erfolgt dadurch, dass eine Paritätsprüfung bezüglich der Information vorgenommen wird, zu der ein Zugriff von dem jeweiligen Modul erfolgt. Auf das Auftreten eines Fehlers hin schalten die Schaltungen des Blocks 214 eine der Speicherschaltungen, die in dem Bereich 212 enthalten sind. Wenn der Wunsch auftreten sollte, das System von fehlerhaften Moduln "freizugeben", veranlasst ein Befehlssignal die in dem Block 208 enthaltenen Verknüpfungsschaltungen, Steuersignale an die Einstelleinheiten derjenigen Moduln abzugeben, die durch den Bereich 212 als fehlerhaft bezeichnet worden sind. Diese Signale sperren jede der Einstelleinheiten hinsichtlich der Modifizierung der Adressensignale, die an ihre Eingangsanschlüsse angelegt worden sind. Dieselben Steuersignale werden ausserdem den Modulauswahlschaltungen des Blockes 206 zugeführt; sie verhindern, dass die betreffenden Auswahlschaltungen auf die Adressensignale reagieren, die von dem Zentralsteuerwerk her zugeführt worden sind.

Im folgenden seien die in Fig. 2 dargestellten Bereiche näher betrachtet. Aus Fig. 2a ergibt sich, dass der Adressenhaltungsbereich 202 eine Anzahl von Speicherschaltungen 202-1 bis 202-14 enthält, deren jede eine Verriegelungsverstärkerschaltung enthält, welche der Schaltung 202-17 entspricht. Jede Verriegelungsschaltung ist so ausgelegt, dass sie ein Bit der 14 Bits niederer Ordnung zu speichern vermag, die

409829/0977

2400161

von dem Zentralsteuerwerk 14 her aufgenommen werden. Wie in Fig. 2 gezeigt, werden die Ausgangssignale MAD0111 bis MAD 1411 der Verriegelungsschaltungen 202-1 bis 20214 parallel an die vier Moduln abgegeben, und zwar für einen Zugriff zu dem Inhalt eines Zeichenspeicherplatzes innerhalb eines ausgewählten Speichermoduls.

Nunmehr sei die Arbeitsweise der Speicherschaltung 202-1 betrachtet. Die Verriegelungsverstärkerschaltung 202-17 schaltet in den Binärzustand 1 um, wenn ein Eingangsdatensignal MAD0100 und ein Zeitsteuersignal MTMRT30 jeweils als binäres 1-Signal auftreten. Die Schaltung 202-17 wird im Binärzustand 1 durch das Haltesignal MTMRT00 solange gehalten, bis ein Zeitsteuersignal MTMRT1B wieder in den Binärzustand 1 gebracht wird. Das Signal MTMRT1B veranlasst, wenn es im Binärzustand 1 ist, eine Gatterinverterschaltung 202-15, das Haltesignal MTMRT00 in ein Null-Signal zu überführen. Ausserdem veranlasst das betreffende Signal eine Gatterinverterschaltung 202-16, das Signal MRT30 in ein binäres 1-Signal zu überführen. Wenn das Signal MAD0100 ein binäres Null-Signal ist, schaltet im Gegensatz dazu die Verriegelungsschaltung 202-17 bei einem Binärzustand 1 um in einen Binärzustand Null, wenn das Signal MTMRT1B in ein Binärsignal 1 übergeführt wird.

Das Zeitsteuersignal MTMRT1A (sowie weitere Signale) wird von dem Zeitsteuergenerator- und Phasenschaltungsbereich 204 abgeleitet bzw. gewonnen, der in weiteren Einzelheiten in Fig. 2b gezeigt ist. Dieser Schaltungsbereich liefert die Grundzeitsignale für jedes der Speichermoduln während eines Lese- oder Schreiboperationszyklus, und zwar auf ein Eingangszeitsteuersignal MARGO1R hin, das von dem Zentralsteuerwerk 10 erzeugt wird.

409829/0977

2400161

Normalerweise sind die Signale MTDLA3Ø, MTDLB1Ø, MTDLB2B und MTDLB3C binäre Null-Signale. Wenn das Signal MARGO1R in ein Binärsignal 1 übergeführt wird, wird das Signal MTDLA2Ø von dem Binärzustand 1 in den Binärzustand Ø übergeführt. Diese Zustandsänderung in dem Signal MTDLA2Ø wird durch eine Verzögerungsleitung 204-2 um einen bestimmten Betrag verzögert und dann an eine Gatterinverterschaltung 204-3 abgegeben. Nach der Verzögerung führt die Inverterschaltung 204-3 das Signal MTDLA3Ø in ein Binärsignal 1 über, welches die Verriegelungsschaltung 204-4 veranlasst, das Signal MTDLB1Ø in ein Binärsignal 1 umzuschalten. Die Signale MPRO12Ø und MTDLB4C sind zu diesem Zeitpunkt beides 1-Signale. Da das Signal MTDLB4A normalerweise ein binäres 1-Signal ist, ist die Gatterverstärkerschaltung 204-7 durch die Signale MTDLB4A und MTDLB1Ø freigegeben; sie führt ein Setz-Rückstell-Signal MTMRT1A in den Binärzustand 1 über. Dieses Signal wird den Adressen- bzw. Datenverriegelungsschaltungen gemäss Fig. 2a und 2h zugeführt. Wenn das Signal MTMRT1A in den Binärzustand 1 umschaltet, bewirkt es eine Triggerung einer monostabilen Taktschaltung 204-24, wodurch das Signal MSTEN11 in ein Null-Signal übergeführt wird. Dieses Signal wird sämtlichen Speichermodulen zugeführt, um den Beginn eines Speicherzyklus zu signalisieren. Wenn das Signal MTMRT1A vom Binärzustand 0 in den Binärzustand 1 umschaltet, veranlasst es die Adressenschaltungen gemäss Fig. 2a, neue Adressenbits für die Speicherung aufzunehmen. Gleichzeitig bewirkt das Signal MTMRT1A eine Zurückstellung der Datenverriegelungsschaltungen gemäss Fig. 2h in ihre Binärzustände 0.

Die Zustandsänderung des Signals MTDLB1Ø wird mit Hilfe einer zweiten Verzögerungsleitung 204-5 verzögert, woraufhin das Signal MTDLB2B von dem Null-Zustand in den 1-Zustand übergeführt wird. Dieses Signal gibt die Gatter 204-8 und 204-12 frei, wodurch die Signale MRCH1AB und MRCH1CD in Binär-

2400161

signal 1 umgeschaltet werden. Die Zustandsänderung bezüglich des Signals MRCHICD triggert eine monostabile Schaltung 204-14, die ein 290-Nanosekunden-Impulssignal MRCHI11 liefert. Der Ausgangsanschluss der monostabilen Schaltung 204-14 ist mit einem Eingangsanschluss der Gatter 204-8 und 204-12 verbunden, um den betreffenden Gattern das Signal MRCHI11 zuzuführen, welches die Dauer festlegt, während der die Signale MRCHIAB und MRCHICD in den Binärzuständen 1 verbleiben. Die Signale MRCHIAB und MRCHICD werden den Speichermoduln A bis D zugeführt; sie bestimmen die Dauer des Leseteiles des Speicherzyklus.

Wenn das Signal MRCHIAB in ein binäres 1-Signal umschaltet, triggert es eine monostabile Schaltung 204-22. Die Negation des Signals von der Schaltung 204-16 her verhindert das Einstellen der Verriegelungsschaltung 204-4 und hält die Verriegelungsschaltung in ihrem Zustand solange fest, bis ein nächster Speicherzyklus eingeleitet wird. Am Ende von 200 Nanosekunden wird das Signal ^DMTLB4C in den Null-Zustand gebracht, wodurch die Verriegelungsschaltung 204-4 in den Null-Zustand zurückgestellt wird.

Wenn die monostabile Schaltung 214-14 zündet, triggert sie eine erste monostabile Paritätsprüf-Schaltung 204-28, die nach 350 Nanosekunden dann eine weitere, mit ihr in Reihe geschaltete monostabile Paritäts-Schaltung 204-30 zündet bzw. ansteuert. Das 450-Nanosekunden-Signal MPCHK31 legt die Zeitspanne fest, während der eine Paritätsprüfung bezüglich der Daten vorgenommen wird, die von einem ausgewählten Speichermodul der Speichermoduln während eines Speicherzyklus gelesen worden sind. Auf die 290-Nano-Sekunden-Zeitspanne hin, die durch die monostabile Schaltung 204-14 bestimmt ist, werden die beiden in Reihe geschalteten monostabilen Schaltungen 204-16 und 204-18 nacheinander getriggert, wodurch ein Schreibbefehlssignal MWHCI10 erzeugt

409829/0977

wird. Dieses Signal wird zu sämtlichen Speichermoduln hingeleitet; es legt das Schreibintervall eines Speicherzyklus fest.

Im folgenden sei der Modul-Neuzusammenstellungs-Logikschaltungsbereich 210 näher betrachtet. Der aus Fig. 2c und 3d hervorgehende Bereich enthält die Einstelleinheiten 210-1a bis 210-1d für jedes der Speichermoduln 1 bis 4. Die Einheiten jedes Speichermoduls sind, wie dargestellt, insbesondere in Reihe geschaltet. Abgesehen von der ersten Einheit definiert jede Einheit die der nächsten Einheit in der Reihe zugehörige Adresse in der hier beschriebenen Weise. Außerdem sind, wie dargestellt, die Ausgangsanschlüsse FO bis F3 jeder der Einstelleinheiten über eine entsprechende Inverterschaltung der Gruppen von Inverterschaltungen der Blöcke 216-1a bis 216-1d mit dem Modulauswahlbereich gemäß Fig. 2e verbunden.

Jede der Einstelleinheiten 210-1a bis 210-1d enthält eine Addiererschaltung und eine Vergleicherschaltung in der dargestellten Anordnung. Jede dieser Schaltungen 210-4a bis 210-4d und 210-2a bis 210-2d ist von herkömmlichem Aufbau. Die Addierer- und Vergleicherschaltungen können zum Beispiel die Form der Rechenverknüpfungseinheiten haben, wie sie durch die Schaltung des Typs SN74181 gegeben sind, welche auf den Seiten 9-315 bis 9-320 der Druckschrift "TTL Integrated Circuits Catalog" von der Firma Texas Instruments Incorporated, 1971, beschrieben ist.

Bei der in Figuren 3c und 2d gezeigten Anordnung sind die Rechenverknüpfungseinheiten für die Addiererschaltungen so angeordnet bzw. ausgelegt, daß sie auf die beiden Sätze von Eingangssignalen hin eine Rechenoperation ausführen. Dieselben Einheiten werden als Vergleicherschaltungen verwendet, welche so ausgelegt sind, daß sie eine

2400161

Verknüpfungsvergleichsoperation auf zwei Eingangssignalsätze hin ausführen und damit als herkömmliche Vergleicherschaltungen arbeiten. Die Kreise an den Anschlüssen der Addierer- und Vergleicherschaltungen bezeichnen eine Invertierungs- oder Komplementierungsoperation, die auf die Zuführung von Signalen an den betreffenden Anschlussklemmen hin ausgeführt werden. Dadurch ist der interne Betrieb dieser Schaltungen kompatibel gemacht mit den Eingangssignalen, wie dies im einzelnen noch erläutert werden wird.

Wie in Fig. 2c und 2d gezeigt, empfängt jede der Vergleicherschaltungen 210-4a bis 210-4d einen Satz von digitalen Eingangsadressensignalen von in einem Block 212 enthaltenen Verbindungsdraht- und Inverterschaltungen. Die Verbindungsdrähte JP09 bis JP12 sind so verdrahtet, dass die maximal zulässige Adresse festgelegt ist, die irgendein Modul haben kann. Mit anderen Worten ausgedrückt heisst dies, dass die maximale Anzahl von Speichermodulen festgelegt ist, die in einer Speicherschnittstelleneinrichtung betrieben werden kann. Jede der Vergleicherschaltungen 210-4a bis 210-4d vergleicht insbesondere die den Anschlussklemmen A0 bis A3 zugeführten maximal zulässigen, festgelegten Bitmustersignale mit einer zweiten bestimmten Gruppe von Adressensignalen, die von den Verbindungsdrähten JP01 bis JP08 abgeleitet sind, welche durch die Inverterschaltungen, die in einem Block 214 enthalten sind, invertiert und an die Anschlussklemmen B0 bis B3 der Addiererschaltung abgegeben werden. Die zweite Gruppe der Adressensignale stellt die Anzahl der Moduln an einer bestimmten Stelle innerhalb der Speicherschnittstelleneinrichtung dar, die zu diesem Zeitpunkt betrieben sind.

Die Ergebnisse des durch die jeweilige Vergleicherschaltung ausgeführten Vergleichs legt fest, ob die zugehörige Addiererschaltung die erhaltene Summe modifizieren oder zu dieser eine 1 hinzuaddieren sollt, und zwar durch Addieren

409829/0977

2400161

der Adressenbitmuster an ihrem Eingangsanschlussklemmenpaar A0 bis A3 und B0 bis B3. Die zweite Gruppe der Addierereingangsanschlüsse bzw. -Anschlussklemmen B0 bis B3 ist so geschaltet, dass die betreffenden Anschlüsse eine positive Spannung aufnehmen, die kennzeichnend ist für eine binäre 1. Da die diesen Anschlüssen zugeführten Signale invertiert werden, geben die Eingänge B0 bis B3 jedes Addierers eine feste Adresse entsprechend einem insgesamt aus Nullen bestehenden Bit-Muster als zweite Grösse ab, auf die hin von der Addiererschaltung eine Rechenoperation ausgeführt wird.

Bei Fehlen eines positiven Vergleichsergebnisses von irgendeiner der Vergleicherschaltungen 210-4a bis 410-4d treten die Signale M1BLK000 bis M4BLK000, die von den Inverterschaltungen 210-6a bis 210-6d erzeugt werden, normalerweise als binäre 1-Signale auf. Demgemäss erzeugt jede Addiererschaltung an ihrem Ausgangsanschluss F0 bis F3 Signale der Summe der den Eingangsanschlüssen A0 bis A3 und B0 bis B3 zugeführten Adressenbitmuster. Die Summe entspricht dem Adressenbitmuster, das den Eingangsanschlüssen A0 bis A3 zugeführt worden ist, zuzüglich einer 1, da nämlich die Eingangsanschlüsse B0 bis B3 jeder Addiererschaltung auf das Muster 000 festgesetzt sind. Wenn eine Vergleicherschaltung einen positiven Vergleich feststellt, führt sie ein entsprechendes Signal der Signale MAMX1000 bis MAMX4000 in den Binärzustand 1 über, was dazu führt, dass ein Signal der Signale M1BLK000 bis M4BLK000 in eine Null übergeführt wird. Wenn kein Übertragseingangssignal vorhanden ist, erzeugt jeder Addierer eine Summe an den Anschlüssen F0 bis F3, die dem Adressenbitmuster, welches den Eingangsanschlüssen A0 bis A3 zugeführt worden ist, entspricht. Die Summe wird ihrerseits als eine Eingangsgrösse dem Addierer der nächsten Einstelleinrichtung zugeführt. Gleichzeitig führt

409829/0977

2400161

die Einstelleinheit ein entsprechendes Signal d r Signale M10FL3Ø bis M40FL3Ø in einen Zustand über, der die Modulauswahlschaltungen gemäss Fig. 2e daran hindert, auf die Adressenauswahlsignale zu reagieren, die über die Schaltungen der Blöcke 210-6a bis 210-6d zugeführt werden.

Dadurch, dass ein Addierer daran gehindert ist, die den Anschlüssen A0 bis A3 zugeführten Eingangssignale zu modifizieren, und dadurch, dass die Auswahlschaltungen gesperrt sind, ist auf wirksame Weise das zugehörige Modul von dem System abgetrennt. Dieselbe beschriebene Abtrennoperation bzw. Modulabschaltoperation tritt auch dann auf, wenn irgendeines der Signale M10FL1Ø in den Binärzustand 1 übergeführt wird. Diese Signale werden von dem Modul-Freigabelogikschaltungsbereich gemäss Fig. 2 in Übereinstimmung mit bestimmten hier beschriebenen Prüfkriterien erzeugt; sie leiten automatisch die Neueinstellung des Speichersystems gemäss Fig. 1 im Bedarfsfall ein.

Im folgenden sei kurz die normale Betriebsweise des Modul-Neueinstellungs-Logikschaltungsteiles 210 anhand verschiedener Beispiele erläutert. Es sei darauf hingewiesen, dass die Vergleicher - und Addiererschaltungen der Blöcke 210-1a, 210-1b, 210-1c und 210-1d als negative Logik arbeiten, bei der eine binäre 1 gleich einem Null-Volt-Signal ist und bei der eine binäre Null gleich einem positivem Spannungssignal ist. Die einzigen Ausnahmen hiervon bilden das Signal $A = B$ am Ausgangsanschluss der Vergleicherschaltung und die C_n -Signale am Eingangsanschluss der Addiererschaltung. Daher werden sämtliche Angaben bezüglich Bitmustersignale, die in diese Schaltungen eingeführt werden oder die diese Schaltungen verlassen, abgesehen von den den Anschlüssen $A = B$ oder C_n zugeführten Signalen, in Ausdrücken der negativen Logik gemacht werden (dies bedeutet, dass Erdpotential

409829/0977

2400161

= binäre 1 und dass ein positives Signal eine binäre Null ist). Die Schaltungen der Blöcke 212 und 214 sind Inverterschaltungen, welche die den Vergleicher- und Addiererschaltungen zugeführten Signale von der positiven Logik (bei der eine binäre Null einer Spannung von Null Volt und eine binäre 1 einer positiven Spannung entspricht) in eine negative Logik für die Eingabe an die Vergleicher- und Addiererschaltungen umsetzen. Die Schaltungen der Blöcke 210-6a, 210-6b, 210-6c und 210-6d sind Inverterschaltungen, die dazu benutzt werden, die Signale von der positiven Logik in eine mit dem übrigen Teil des Systems kompatible Form umzusetzen.

Es sei angenommen, dass das Modul 1 das erste Modul innerhalb des Untersystems ist, weshalb dem betreffenden Modul durch seine Einstelleinrichtung 210-1a eine Adresse 0000 zugeteilt wird. Da diese Adresse der um 1 erhöhten Eingangsadresse entspricht, sind die Verbindungsdrähte JP01 bis JP08 nicht für die Verwendung beschaltet, so dass die Eingangsadresse 1111 an die Addiererschaltung 210-2a geliefert wird. Den Speichermodulen 2, 3 und 4 werden durch ihre entsprechenden Einstelleinrichtungen 210-1b, 210-1c bzw. 210-1d die Adressen 0001, 0010 bzw. 0011 zugeteilt. Darüber hinaus sei angenommen, dass die maximal zulässige Adressenbitkonfiguration, die das Speichersystem haben kann, 48K beträgt, wobei die Grösse $K = 1024$ Bytes des Speicher- raumes bzw. -platzes ist. Die Verbindungsdrähte JP09 bis JP12 sind so geschaltet, dass eine Eingangsadressenbitkonfiguration von 0010 der jeweiligen Vergleicherschaltung zugeführt wird. Dies heisst, dass die Verbindungsdrähte JP09, JP10 und JP12 mit Masse verbunden sind. Da jedes Speichermodul eine Speicherkapazität von 16K besitzt, sind nicht mehr als drei Speichermoduln erforderlich, um in der Schnittstelleneinrichtung betrieben zu werden. Die Verbindungsdrähte JP13 und JP14 sind vorgesehen, um die Anwendung

409829/0977

2400161

von sämtlichen sechzehn möglichen Codesignalen zu ermöglichen, wenn die Schnittstelleneinrichtung sämtliche sechzehn Speichermodulen enthält. Dies erfordert dann die Anwendung sämtlicher sechzehn Codes. Wenn sämtliche sechzehn Moduln enthalten sind, ist der Verbindungsdraht JP13 des Blockes 210-8 des ersten Moduls mit Masse verbunden, und der Verbindungsdraht JP14 des Blockes 210-8 des sechzehnten Moduls ist angeschlossen. Dies ermöglicht, das durch den Vergleicher 210-1a des ersten Speichermoduls erzeugte Ergebnis zu überlaufen. Da lediglich drei Moduln erforderlich sind, bleiben die Verbindungsdrähte JP13 und JP14 unverbunden.

Die Verbindungsdrahtanschlüsse bei jeder der Inverterschaltungen des Blocks 210-8 "hängen frei", weshalb den Inverterschaltungen eine binäre 1 zugeführt wird, die zur Folge hat, dass die Signale M1AD1000 bis M4AD4000 zu binären Null-Signalen werden. Die Addiererschaltung 210-2a und die Vergleicherschaltung 210-4a invertieren, wie erwähnt, das ihren entsprechenden Anschlussklemmensätzen zugeführte Bitmuster. Da das den Anschlussklemmen B3 bis B0 der Vergleicherschaltung 210-4a zugeführte Bitmuster 1111 nicht mit dem Bitmuster 0010 übereinstimmt, welches den Anschlussklemmen A3-A0 zugeführt worden ist, wird ein Eintragsignal M1BLK000 als binäres 1-Signal abgegeben. Die Addiererschaltung 210-2a erhöht das Eingangsadressenbitmuster 1111 um 1 und gibt die Summe 0000 an den Ausgangsanschlüssen F0 bis F3 ab.

Das Bitmuster 0000 wird den Eingangsanschlüssen A0 bis A3 der Addiererschaltung 210-2b und den Eingangsanschlüssen B0 bis B3 der Vergleicherschaltung 210-4b der Einstelleinrichtung 210-1b zugeführt. Ausserdem wird das Bitmuster 0000 (negative Logik) den Inverterschaltungen des Blockes 210-6a zugeführt, was dazu führt, dass das Adressenbitmuster 0000 (positive Logik) den in Fig. 2e dargestellten Auswahl-

409829/0977

2400161

tungen des Moduls 1 zugeführt wird. Darüber hinaus werden die Signale M10FL30 und MAMX100 an die Auswahl-schaltungen des Moduls 1 weitergeleitet. Der Zustand dieser Signale bestimmt, ob das Modul auszuwählen ist oder nicht. Wenn das Modul in Betrieb ist und die maximal zulässige Adresse nicht überschritten ist, sind unter normalen Bedingungen die Signale M10FL30 und MAMX100 binäre Null-Signale.

In den Modulauswahl-schaltungen wird, wie hier beschrieben, das von der jeweiligen Einstelleinheit abgegebene Adressenmuster mit dem von der Zentraleinheit empfangenen Adressenmuster der vier oberen Stellen verglichen, und das Modul wird dann ausgewählt, wenn ein positiver Vergleich zwischen den Vergleichsgrößen vorliegt. Somit legt die erste Einstelleinheit 210-a1 durch Festlegung des Adressenmusters, welches zu den Auswahl-schaltungen für einen Vergleich mit dem von der Zentraleinheit erzeugten Muster zu leiten ist, die Adressenzuteilung für das Modul 1 fest.

Da kein positiver Vergleich von der Vergleicherschaltung 214-4 der zweiten Einstelleinheit 210-1b festgestellt wird (das heisst $A3-A0 = 0010$ und $B3-B0 = 0000$), erhöht die Addiererschaltung 210-2b das Eingangsbitmuster 0000 um 1 und erzeugt die Summe von 0001 an ihren Ausgangsanschlüssen F3 bis F0. Diese Summe wird sodann sowohl der Vergleicherschaltung 210-4c als auch der Addiererschaltung 210-2c der dritten Einstelleinrichtung 210-1c des Speichermoduls 3 zugeführt. Das Bitmuster 0001 (negative Logik), das von der Einstelleinrichtung 210-1b geliefert wird, wird durch die Inverterschaltungen des Blockes 210-6b invertiert, um es mit der positiven Logik des übrigen Teiles des Systems kompatibel zu machen. Das resultierende Bitmuster 0001 (positive Logik) wird zu den Auswahl-schaltungen des Moduls 2 zusammen mit dem Signal n M20FL30 und MAMX200 hingeleitet. Demgemäss können die Auswahl-schaltungen für das Modul 2 lediglich auf

2400161

das Adressenmuster $\emptyset\emptyset\emptyset 1$ (positive Logik) ansprechen.

Das Bitmuster $\emptyset\emptyset\emptyset\emptyset$ (negative Logik) wird sodann den Eingangsanschlüssen A0 bis A3 der Addiererschaltung 210-2c der dritten Einstelleinheit bzw. -einrichtung 210-1c zugeführt. Da kein positiver Vergleich durch die Vergleicherschaltung 210-4c festgestellt wird (das heisst $A3-A0 = \emptyset\emptyset 1\emptyset$ und $B3-B0 = \emptyset\emptyset\emptyset 1$), erhöht die Addiererschaltung 210-2c ebenfalls das Eingangsadressenmuster um 1 und gibt die Summe $\emptyset\emptyset 1\emptyset$ an die Ausgangsanschlüsse F3 bis F0 ab. Das Bitmuster $\emptyset\emptyset 1\emptyset$ wird sodann an die Vergleicherschaltung 210-4d und an die Addiererschaltung 210-2d der vierten Einstelleinrichtung 210-1d abgegeben. Auch hier wird dasselbe Bitmuster durch die Inverter des Blockes 216-1c komplementiert, um eine Darstellung des Bitmusters $\emptyset\emptyset 1\emptyset$ für die positive Logik zu erhalten. Ferner wird das betreffende Bitmuster den Auswahlerschaltungen des Moduls 3 zusammen mit den Signalen M3OFL3 \emptyset und MAMX3 $\emptyset\emptyset$ zugeführt.

Die Vergleicherschaltung 210-4d führt auf die Feststellung eines positiven Vergleichs zwischen den den Eingangsanschlüssen A0 bis A3 und B0 bis B3 zugeführten Bitmustern (das heisst $A3 \text{ bis } A0 = \emptyset\emptyset 1\emptyset$ und $B3-B0 = 0010$) das Signal M4BLK $\emptyset\emptyset$ in ein binäres Null-Signal über. Dies veranlasst die Addiererschaltung 210-2d der vierten Einstelleinrichtung 210-1d, das Eingangsbitmuster zu ihren Ausgangsanschlüssen F0 bis F3 ohne eine Modifikation zu übertragen. Das nicht modifizierte Adressenmuster $\emptyset\emptyset 1\emptyset$ wird dann entweder an die Zentraleinheit oder an die Einstelleinrichtung eines weiteren Speichermoduls abgegeben.

Darüber hinaus wird das von der Einstelleinrichtung 210-1d abgegebene Bitmuster 0010 durch die Inverterschaltungen des Blockes 210-6d komplementiert, um als Bitdarstellung $\emptyset\emptyset 1\emptyset$ für die positive Logik aufzutreten. Ausserdem wird das betreffende Bitmuster an die Auswahlerschaltungen des Moduls 4

409829/0977

2400161

zusammen mit den Signalen M4OFL3Ø und MAX4ØØ abgegeben. Da ein positiver Vergleich zwischen dem Maximaladressenmuster und dem Bitmuster von der Einstelleinheit 210-1c her vorhanden war, sind die beiden Signale M4OFL3Ø und MAX4ØØ binäre Einsen. Diese Signale veranlassen die Auswahl-schaltungen des Moduls 4, die Zentraleinheit daran zu hindern, einen Speicherplatz innerhalb des Speichermoduls zu adressieren.

Es sei darauf hingewiesen, dass mit einem 4-Bit-Adressenmuster bis zu sechzehn Speichermoduln in Reihe geschaltet sein können. Bei der vorliegenden Ausführungsform sind Speichermoduln in Stufen von 64K (4 Speichermoduln) verbunden, wobei jede Speicherstufe materiell in einem Einschub untergebracht ist. Bei dem insbesondere dargestellten System weist jede Schnittstelleneinrichtung zwei Einschübe auf. Die Moduleinstelleinrichtung des vierten Moduls des jeweiligen Schnittstelleneinschubs sind über eine entsprechende Sammelschiene der Sammelschienen 32-1 bis 32-4 in Reihe geschaltet. Das von der Addiererschaltung 210-2d abgegebene 4-Bit-Adressencodemuster wird über die Sammelschiene zu der Addiererschaltung der Einheit-Einstelleinrichtung des ersten Speichermoduls des zweiten Einschubs übertragen. In dem zweiten Einschub sind die den Verbindungsleitungen JPØ2, JPØ4, JPØ6 und JPØ8 entsprechenden Verbindungsleitungen weglassen bzw. entfernt und die Verbindungsleitungen JPØ1, JPØ3, JPØ5 und JPØ7 sind eingesetzt, um nämlich das Bitmuster von der Einstelleinrichtung 210-1d des ersten Einschubs zu empfangen. Ausserdem sind die Verbindungsleitungen JPØ9 bis JP12 so angeordnet, dass die maximal zulässige Adresse festgelegt ist, die die Speichermoduln annehmen können.

Bei der Anordnung der betreffenden Ausführungsform sind die nächsten vier Adressen Ø1ØØ, Ø1Ø1, Ø11Ø bzw. Ø111 durch die Einstelleinrichtungen den nächsten vier Speichermodulen des zweiten Einschubs zugeteilt. Das von der Addiererschaltung der Einstelleinrichtung des vierten Speichermoduls des zweiten

409829/0977

2400161

Einschubs erzeugte 4-Bit-Adressencodemuster wird über eine entsprechende Sammelschiene der Sammelschienen 34-1 bis 34-4 zu der Zentraleinheit hin übertragen.

Im folgenden sei der Speichermodul-Auswahlschaltungsbereich 206 näher betrachtet. Der Bereich 206, wie er in Fig. 2e gezeigt ist, enthält die Auswahlschaltungen für jedes der Speichermoduln 1 bis 4. Dabei sind lediglich die Auswahlschaltungen, die in einem Block 206-1a enthalten sind, für das Speichermodul 1 näher gezeigt, da nämlich die übrigen Auswahlschaltungen für die Moduln 2 bis 4 denselben Schaltungsaufbau haben; sie unterscheiden sich voneinander lediglich durch das bestimmte Signal, das jeweils verarbeitet wird. Dies ist dadurch veranschaulicht, dass die Signale bezeichnet sind, die von den Blöcken 206-1a und 206-1d aufgenommen werden.

Aus Fig. 2e dürfte ersichtlich sein, dass der Block 206-1a einen Vergleicherschaltungsteil bzw. -Bereich 206-4 enthält, der so ausgelegt ist, dass er die vier Adressenbit höherer Wertigkeit (die Signale MAD1810 bis MAD 1510) mit den vier Bit-Adressensignalen (M1AD410 bis M1AD110) von der Einstell-einrichtung des Speichermoduls vergleicht, das in dem Modul-Neuzusammenstellungs-Logikschaltungsbereich gemäss Fig. 2c und 2d enthalten ist. Der Vergleicherbereich enthält Inverterschaltungen 206-5, 206-10, 206-13 und 206-16 sowie UND-Glieder 206-6 bis 206-9, 206-11, 206-12, 206-14 und 206-15. Diese Verknüpfungsglieder sind in der dargestellten Weise angeordnet.

Wenn die Auswahlschaltung für das Modul 1 einen positiven Vergleich feststellt, wird das in der Verriegelungsschaltung 206-18 enthaltene UND-Glied 206-20 aktiviert, ferner wird die Verriegelungsschaltung gesetzt, und ausserdem wird das Signal M1SEL10 in ein 1-Signal übergeführt. Das Setzen der Verriegelungsschaltung 206-18 wird ferner auf die

409829/0977

2400161

Freigabe eines UND-Gli des 206-26 hin veranlasst, wenn ein Haltesignal M1HLD10 sich im Binärzustand 1 befindet. Normalerweise sind die beiden Signale M10FL3Ø und MAMX1ØØ im Binärzustand 0, was das Setzen der Verriegelungsschaltung 206-18 in den Binärzustand 1 ermöglicht, wenn ein positiver bzw. 1-Vergleich zwischen den beiden Adressensignalsätzen vorliegt.

Wenn eines der Signale M10FL3Ø oder MAMX1ØØ durch den Modul-Neuzusammenstellungsbereich 210 in den Binärzustand 1 übergeführt wird, wird das Haltesignal M1HLD10 in ein Null-Signal übergeführt. Dies verhindert seinerseits das Setzen der Verriegelungsschaltung 206-18 in den Binärzustand 1, wenn ein positiver Vergleich zwischen den beiden Adressensignalsätzen vorhanden ist. Demgemäss wird ein Speicherplatz, der durch die niederwertigen 14-Bit-Adressensignale bezeichnet ist, welche von der Zentraleinheit an das Speichermodul abgegeben worden sind, nicht adressiert, es sei denn, das Signal M1SEL10 tritt als Binärsignal 1 auf.

Im folgenden sei der Modul-Freigabelogikschaltungsbereich 208 näher betrachtet. Aus Fig. 2f dürfte hervorgehen, dass der Bereich 208 eine Vielzahl von Verriegelungsschaltungen 208-1 bis 208-4 enthält, und zwar jeweils eine für jedes der entsprechenden Speichermoduln 1 bis 4. Jede Verriegelungsschaltung wird vom Binärzustand Null in den Binärzustand 1 umgeschaltet, wenn ihr zugehöriges Modul die minimalen Standardanforderungen bezüglich der Zuverlässigkeit erfüllt hat, was durch die Prüfanordnung festgelegt bzw. bestimmt wird. Dies wird bei Vorhandensein eines Prüfzustands signalisiert (z.B. dann, wenn das Signal M1CHK10 ein binäres 1-Signal ist). Wenn ein Befehl eingeleitet worden ist (das heisst das Signal MPURGOT ein binäres 1-Signal ist), wird hierdurch das Speichersystem des jeweiligen Moduls freigegeben, welches ausgefallen ist hinsichtlich der Aufrechterhaltung des festgelegten minimalen Operationsstandards.

409829/0977

Anders ausgedrückt heisst dies, dass die Zustände der Signal M1CHK10 bis M4CHK10 jeweils der Einstelleinheit des jeweiligen Speichermoduls den Zustand ihres Moduls anzeigen. Der Zustand bezüglich des jeweiligen Moduls wird durch die Paritätsfehler-Detektorschaltungen gemäss Fig. 2h bestimmt, die noch beschrieben werden. Das Signal MPURGOT wird, wie hier dargestellt, entweder von einer Bedienperson durch die Wartungsfeldverknüpfungsschaltungen gemäss Fig. 3 erzeugt, die das Signal MPUR1ØT in ein Binärsignal 1 überführt, oder mittels der Zentraleinheit über die Betriebsfortsetzungsschaltungen gemäss Fig. 4a, die das Signal MMPGO1Ø in ein Binärsignal 1 überführen. Wie erwähnt, veranlasst das Signal MPURGOT sämtliche Speichermoduln, die einen bestimmten Prüfzustand haben, in einen vom Rechnerbetrieb unabhängigen Zustand bzw. in einen sogenannten Off-Line-Zustand überzugehen. Das Signal MMINTOT ist ein Signal, welches dazu benutzt wird, jede der Verriegelungsschaltungen in den Binärzustand Null einzustellen oder zurückzustellen, die eine Anzeigebezüglich eines Prüfzustands speichern. Das Signal MMINTOT wird entweder von einer Bedienperson dadurch erzeugt, dass eine Einleitungs-Drucktaste in dem Steuerfeld betätigt bzw. gedrückt wird, oder durch die Zentraleinheit, wie dies hier beschrieben werden wird. Darüber hinaus kann eine Bedienperson manuell jedes der Speichermoduln mit Hilfe von Schaltern, die in demselben Steuerfeld enthalten sind, in den vom Rechner unabhängigen Betrieb bzw. Off-Line-Betrieb bringen. Wenn eine Bedienperson einen der Schalter in die OFF-Line-Stellung einstellt, wird ein entsprechendes Signal der Signale M1FLØØØ bis M4FLØØØ gemäss Fig. 2f in ein Binärsignal 1 übergeführt, was seinerseits die entsprechende eine Verriegelungsschaltung der Verriegelungsschaltungen 208-1 bis 208-4 gemäss Fig. 2f in den Binärzustand 1 umschaltet. Wenn das System in Betrieb gesetzt ist, verbleiben die Verriegelungsschaltungen gemäss Fig. 2f der Speichermoduln, die in d m vom Rechnerbetrie b unabhängigen Betrieb gebracht worden sind, im Setzzustand. Dies

2400161

Anordnung ermöglicht einer Bedienperson, irgendein Modul in einem unabhängigen Betrieb solange zu halten, bis das betreffende Modul repariert oder ausgetauscht ist.

Im folgenden sei der Paritätsprüf-Logikschaltungsteil 214 näher betrachtet. In Fig. 2g sind die Prüflogikschaltungen gezeigt, die eine minimale Standardgrösse an Zuverlässigkeit für jedes Speichermodul der Speichermoduln 1 bis 4 festlegen. Eine Paritätsprüflogikschaltung 214-2, die von herkömmlichem Aufbau ist, führt eine Paritätsprüfung hinsichtlich der herkömmlichen neun Bit umfassenden Datenausgangssignale aus, die aus einem adressierten Speicherplatz eines ausgewählten Moduls in den Daten-Verriegelungsverstärkerschaltungsbereich gemäss Fig. 2i gelesen worden sind. Dies bedeutet, dass die Schaltung 214-2 ein Paritätsprüfbitsignal für die Signale MMSA110 bis MMSA810 erzeugt und das Ergebnis mit dem Signal MMSA910 für die Prüfung auf ungeradzahlige Parität vergleicht.

Im Falle des Vorliegens eines Fehlers führt die Schaltung 214-2 das Signal MMCHK10 in ein Binärsignal 1 über, welches eine UND-Gatter- und Verstärkerschaltung 214-6 in den Binärzustand 1 umschaltet (das heisst, dass das Signal MMCHK30 in ein Binärsignal 1 übergeführt wird), wenn irgendein Speichermodul der Speichermoduln während der durch das Signal MPCHK31 festgelegten Zeitspanne eines Speicherzyklus ausgewählt worden ist (dies heisst, dass das Signal MMSEL10 eine binäre 1 ist). Die Ergebnisse der Prüfoperation, die durch den Zustand des Signals MMCHK30 gegeben sind, werden zu den Schaltungen des Modulzustands-Anzeigebereichs 212 gemäss Fig. 2g hingeleitet. Ausserdem wird eine Anzeige derselben Ergebnisse über die Gatter- und Verstärkerschaltung 214-8 zu dem Zentralsteuerwerk hingeleitet, welches umgehend die weitere Verarbeitung ausführen kann, wie dies beschrieben werden wird.

Da bei der hier beschriebenen Anordnung jeweils nur in Speichermodul für eine Adressierung ausgewählt wird, sind die Fehlerprüfschaltungen des Bereichs 214 so ausgelegt, dass sie gemeinsam von den vier Speichermoduln ausgenutzt werden. Es dürfte ersichtlich sein, dass sich die Prüfanzordnung in Abhängigkeit von der Speicherorganisation und dem Umfang der erwünschten Prüfung ändern wird. So kann es zum Beispiel in gewissen Fällen erwünscht sein, andere Feststellverfahren anzuwenden, die den Einsatz von anderen Codes, wie der Hamming-Codes, umfassen, um eine zuverlässige Operation der Speichermoduln eines Systems festzulegen.

Im folgenden sei der Daten-Verriegelungsverstärkerschaltungsbereich 216 näher betrachtet. Entsprechend der Prüfanzordnung gemäss Fig. 2g sind die Schaltungen des Bereichs 216 so ausgelegt, dass sie gemeinsam von den vier Moduln eines Einschubs ausgenutzt werden. Wie durch Fig. 2h veranschaulicht, enthält der betreffende Bereich neun Verriegelungsschaltungen 216-1 bis 216-9 für die Speicherung von Bit-Darstellungen eines 9-Bit-Inhalts eines Speicherplatzes eines ausgewählten Moduls. Die Verriegelungsschaltung 216-1 empfängt wie jede der übrigen acht Verriegelungsschaltungen ein Signal, das an eine bestimmte Datenausgabeleitung von jedem der Speichermoduln abgegeben wird (das sind die Signale M1DB100 bis M4DB100), und zwar zusammen mit einem Signal von dem binären Ausgangsanschluss Null der Verriegelungsschaltung (das ist das Signal MMSA100. Die beiden Signale werden in UND-Gliedern 216-10 bis 216-13 der Verriegelungsschaltung 216-1 verknüpfungsmässig zusammengefasst. Die Auswahlsignale M1SEL00 bis M4SEL00 werden den Verknüpfungsgliedern 216-14 bis 216-17 zugeführt. Wenn ein Modul ausgewählt wird, wird sein entsprechendes Auswahlsignal in den Binärzustand Null übergeführt, während die anderen Signale im Binärzustand 1 verbleiben. Da das Signal MMSA100 ein 1-Signal ist, schaltet eine UND-Gatter- und Inverterschaltung in den Binärzustand 1

um, wenn das an die entsprechende Datenausgabeleitung ab-
gegeben Signal in ein Null-Signal übergeführt wird (so ist
zum Beispiel das Signal M1DB100 ein Null-Signal. Normaler-
weise ist das Signal MDRES00 des Blockes 216-1 ein binäres
1-Signal, welches bewirkt, dass das Signal MMSA100 in ein
Null-Signal umgeschaltet wird. Das Signal MMSA100 wird zu
den Verknüpfungsgliedern 216-10 bis 216-13 zurückgeleitet
und hält die Verriegelungsschaltung 216-1 im Binärzustand 1
fest. Die Verriegelungsschaltung 216-1 wird in den Null-
zustand zurückgestellt, wenn das Setz-Rückstell-Signal MTMRT1A
in ein Binärsignal 1 umschaltet. Jede der übrigen Verriege-
lungsschaltungen arbeitet in einer entsprechenden Weise, um
eine Bit-Darstellung einer der übrigen Datenausgabeleitungen
zu speichern.

Im folgenden sei der Modulzustand-Anzeigebereich 212 näher
betrachtet. Der Bereich 212, der in Fig. 2i veranschaulicht
ist, enthält Rückstell-Verknüpfungsschaltungen 212-3. bis
212-4 des Blockes 212-2, Fehlerprüf-Speicherverriegelungs-
schaltungen 212-11 bis 212-14 des Blockes 212-10 und
Anzeige- und Treiberschaltungen des Blockes 212-20. Diese
Schaltungen arbeiten in der Weise, dass sie den Zustand jedes
der Moduln eines Einschubs anzeigen. Wenn zum Beispiel ein
Speichermodule ausgewählt wird, wird ein entsprechendes Modul-
auswahlsignal der Auswahlsignale M1SEL10 bis M4SEL10 in
den Binärzustand 1 übergeführt. Wenn ein Paritätsfehler
auftritt, wird das Signal MMCHK30 in ein Binärsignal 1
übergeführt, wodurch eine entsprechende Verriegelungsschal-
tung der Verriegelungsschaltungen 212-11 bis 212-14 in
den Binärzustand 1 geschaltet wird.

Die mit der umgeschalteten Verriegelungsschaltung verbundene
Treiberschaltung führt ein entsprechendes Signal der Signale
M1CHK1L bis M4CHK1L auf Erdpotential, wodurch eine der
Anzeigelampen 212-26 bis 212-29 zum Aufleuchten g gebracht wird.

2400161

Die gesetzte Verriegelungsschaltung wird auf Null zurückgestellt, wenn ein Prüflöschesignal bzw. Prüffreigabesignal MCHCL $\emptyset\emptyset$ in ein Null-Signal übergeführt wird. Dies geschieht dann, wenn entweder ein Paritätsfehler-Rückstellschalter gedrückt wird (das heisst, dass das Signal MCKRS10 in ein 1-Signal übergeführt wird), oder dann, wenn die Inbetriebsetzung-Drucktaste gedrückt wird (dies heisst, dass das Signal MMINTOT in ein Binärsignal 1 übergeführt wird).

Nunmehr sei der Schreibdatenlogikbereich 220 betrachtet. Dieser Bereich, wie er aus Fig. 2j hervorgeht, enthält eine Vielzahl von Gatterverstärker- und Inverterschaltungsstufen 220-1 bis 220-9, die derart betrieben werden, dass sie die Ausgangssignale MWD011 \emptyset bis MWD091 \emptyset an die Sperrschaltungen der Speichermoduln 1 bis 4 abgeben. Unter der Steuerung eines Schreib-Fehleinsatzsignals MABRT $\emptyset\emptyset$, das von der Zentraleinheit erzeugt wird, werden Datensignale, die aus einem adressierten Speicherplatz eines Speichermoduls ausgelesen worden sind, selektiv wieder in denselben Speicherplatz zurückgespeichert bzw. wieder eingeschrieben. So werden zum Beispiel während eines Schreibteiles eines Lesespeicherzyklus (das heisst dann, wenn das Schreib-Fehleinsatzsignal MABRT3 \emptyset ein binäres 1-Signal ist) dieselben Datensignale, die von den Speicherleseschaltungen ausgelesen worden sind (z.B. das Signal MMSA11 \emptyset), in den durch die Verknüpfungsschaltungen adressierten Speicherplatz wieder zurückgeschrieben. Wenn das Schreib-Fehleinsatzsignal MABRT3 \emptyset ein binäres Null-Signal ist, dann werden die von dem Zentralsteuerwerk an die Sammelschiene abgegebenen Datensignale in den adressierten Speichermodul-Speicherplatz eingeschrieben.

Die Stufe 220-1 enthält Gatter- und Inverterschaltungen 220-10 bis 221-12, UND-Glieder 220-16 und 220-17 und eine Verstärkerschaltung 220-18 in der gezeigten Anordnung. Die Arbeitsweise der Verknüpfungsschaltungen bezüglich der Stufe 220-1

409829/0977

ist gegeben entsprechend der Gleichung:

$$\text{MWD011}\emptyset = \text{MABRT3}\emptyset \cdot \text{MMSA11}\emptyset + \text{MABRT20} \cdot \text{MDB011R}.$$

Die Schaltungen für die übrigen Stufen arbeiten in entsprechender Weise, weshalb sie in Fig. 2j nicht im einzelnen dargestellt sind.

Nunmehr sei die Wartungsfeldschaltung betrachtet. In Fig. 3 sind die hiermit im Zusammenhang stehenden Verknüpfungsschaltungen gezeigt, welche das Signal MPUR10T erzeugen, das die Abtastung der Zustände der Zustandsverriegelungsschaltungen des jeweiligen Speichermoduls des jeweiligen Einschubs einleitet. Wie dargestellt, enthalten die Schaltungen gemäss Fig. 3 einen Ausführungsschalter-Logikschaltungen umfassenden Block 200, einen Betriebsschalter-Decodierschaltungen umfassenden Block 200-10 und einen Abtast-Logikschaltungen umfassenden Block 200-20.

Die Auswahl einer Stellung eines in dem Wartungsfeld untergebrachten Betriebsartschalters veranlasst die Erzeugung eines 3-Bit-Codes, der die gewünschte Betriebsart auswählt. Insbesondere dann, wenn es ein Programmierer oder Servicepersonal für erforderlich erachtet, den Hauptspeicher "freizugeben", wird der Betriebsartschalter in eine Freigabe-MM-Stellung gebracht. Dies führt dazu, dass die Signale SRM011S und SRM021S in Binärsignale 1 übergeführt werden. Gleichzeitig wird das Signal SRM031S in ein Null-Signal übergeführt. Die Decodierung dieser Signale durch die UND-Gatter- und Verstärkerschaltung 200-14 schaltet das Signal SPUR1G in ein Binärsignal 1 um, so dass dann, wenn die Bedienperson eine Ausführungs-Drucktaste in dem Wartungsfeld drückt, die UND-Gatter- und Verstärkerschaltung 200-22 des Blockes 200-20 in einen Binärzustand 1 umschaltet. Dies führt zur Erzeugung der "Freigabe"-Signale MPUR10T bis MPUR40T, die an die

2400161

Speicherschnittstelleneinrichtungen 1 bzw. 4 durch die Gatter- und Verstärkerschaltungen 200-24 bis 200-27 abgegeben werden.

Das Herabdrücken der Ausführungs-Drucktaste führt, in Einzelheiten dazu, dass das Signal SEXEC3Ø in ein Binärsignal 1 übergeführt wird. Wenn ein weiteres Zeitsteuersignal T2T0310 in ein Binärsignal 1 umschaltet, bewirkt dies die aufeinanderfolgende Umschaltung zweier getakteter Flipflops 200-1 und 200-2 in die Binärzustände 1 auf ein Taktsignal PDA hin. Das Flipflop 200-1 wird in seinem 1-Zustand durch das Eingangssignal T2T03ØØ gehalten. Dieses Signal wird von einer freischwingenden Haupttakteinheit der Zentralsteuereinheit erzeugt. Die Flipflops 200-2 werden nacheinander auf Null zurückgestellt, und zwar auf das Auftreten eines nachfolgenden PDA-Signals, wenn die Ausführungs-Taste losgelassen ist (das Signal SEXEC3Ø schaltet in ein Null-Signal um) und wenn das Signal T2T031Ø wieder in ein Binärsignal 1 umgeschaltet ist.

Nunmehr seien die Verknüpfungsschaltungen der Zentraleinheit betrachtet. Bevor die Arbeitsweise der Erfindung beschrieben wird, sei zunächst auf die Fig. 4a und 4b Bezug genommen, in denen gewisse Teile der Zentraleinheit dargestellt sind, die dazu herangezogen werden können, die Anordnung der Erfindung zu steuern.

In Fig. 4a sind die Steuerverknüpfungsschaltungen gezeigt, die in der Zentraleinheit enthalten sind und die zur Verarbeitung eines Speicherparitätsfehlers dienen, wenn die Zentraleinheit in einem "Fortsetzungs-Unterbrechungs-Betrieb" betrieben ist. Diese Betriebsart ermöglicht der Zentraleinheit, das Auftreten von Fehlerzuständen abzufragen, wie solcher Fehlerzustände, die durch Hardwareausfall hervorgerufen werden, und solcher Fehlerzustände, die der Software zuzuschreiben sind, wobei die betreffenden Fehlerzustände

die Arbeitsweise der Zentraleinheit anhalten und dann eine Entscheidung darüber veranlassen, ob ein Anhalten erforderlich ist.

Wie dargestellt, enthalten die Verknüpfungsschaltungen ein Fortgangsforderung gespeichert haltendes getaktetes Flipflop 400-1, welches in den Binärzustand 1 auf das Auftreten von Fehlerzuständen hin umschaltet, die durch die Signale MMPED10 und MNEMS10 bezeichnet sind.

Das Signal MMPED10 wird dadurch gewonnen, daß die Prüfungssignale von jeder der Speicherschnittstelleneinrichtungen über eine ODER-Schaltung zusammengefaßt werden (so wird z.B. das Signal MMCHKØT durch die Paritätsprüfschaltungen (Fig. 2h) der jeweiligen Speicherschnittstelleneinrichtung erzeugt); auf diese Weise wird das Auftreten eines Paritätsfehlers innerhalb jedes Speichermoduls in dem System angezeigt. Das Signal MNEMS10 zeigt an, daß der adressierte Speicherplatz nicht in der festgelegten Speichergröße vorhanden ist, wie dies beschrieben worden ist. Das Signal MNEMS10 schaltet das Flipflop 400-1 in den Binärzustand 1 um, wenn ein Versuch unternommen wird, einen nicht vorhandenen Speicherbereich während einer anderen Verarbeitung als der normalen Verarbeitung zu adressieren, wie z.B. dann, wenn die Zentraleinheit in einem Unterbrechungsbetrieb arbeitet, (d.h. dann, wenn das Signal HBAMO1Ø ein Null-Signal ist), wenn die Zentraleinheit nicht bereits in diese Betriebsart gebracht worden ist (d.h., daß das Signal UCIMØØ ein Binärsignal 1 ist) und ein den Fortsetzungsbetrieb ermöglichender Anzeiger über einen Befehl gesetzt worden ist (d.h., daß das Signal UCIMA1Ø ein Binärsignal 1 ist).

Wenn das Flipflop 400-1 in den Binärzustand 1 umschaltet, veranlaßt es ein weiteres Flipflop 400-2 ein Fortsetzungs-

2400161

unterbrechungsbetriebs-Operations-Flipflop 400-4 in den Binärzustand 1 zu schalten, wenn ein von der Zentraleinheit erzeugt s Zeitsteuersignal bzw. Taktsignal TBCT210 in den Binärzustand 1 umschaltet. Das Flipflop 400-2 wird gesetzt, nachdem die Zentraleinheit einen Befehl während des Unterbrechungsbetriebs ausführt. Dies ermöglicht die Speicherung einer Zustandsinformation vor dem Eintritt in den Fortsetzungs-Verarbeitungsbetrieb. Wenn das Flipflop 400-2 umschaltet, führt es eine bestimmte Adressenbitkonfiguration in ein Steuerspeicheradressregister der Zentraleinheit ein, und zwar über eine Gatter- und Verstärkerschaltung 400-3. Dies hat seinerseits die Adressierung eines bestimmten Speicherplatzes in dem Steuerspeicher der Zentraleinheit zur Folge, wobei der Inhalt des betreffenden Speicherplatzes mit dem Inhalt des Ablaufprogrammzählers ausgetauscht wird, um auf den Anfang eines ersten Befehls einer Unteroutine für die Verarbeitung des Fehlers Bezug nehmen zu können.

Die Verarbeitung umfaßt die Bestimmung des Fehlertyps und sodann die Entscheidung darüber, welche Maßnahme zu treffen ist. Wenn der Fehler das Ergebnis eines Speicherprüfzustands ist, trifft die Zentraleinheit eine Entscheidung darüber, ob es notwendig ist, den Speicher "freizugeben". Wenn die Zentraleinheit bestimmt, daß eine "Freigabe" erforderlich ist, führt sie einen Befehl aus, der dazu führt, daß das Signal MPURGOT in ein Binärsignal 1 übergeführt wird. Wie in Fig. 4a gezeigt, wird dies während eines Unterbrechungsverarbeitungszyklus vorgenommen, indem das Signal MMPURS10 in ein Binärsignal 1 übergeführt wird.

Die Zentraleinheit wird dann in ihre normale Betriebsart durch einen weiteren Befehl zurückgeführt (z.B. den Befehl: Nimm den normalen Betrieb wieder auf). Dieser Befehl führt das Signal IRNMOIO in ein Null-Signal während eines

409829/0977

Unterbrechungsverarbeitungszyklus über (das heisst dann, wenn das Signal JET3C54 ein Binärsignal 1 ist). Dies bewirkt die Zurückstellung des Flipflops 400-2 in den Null-Zustand und veranlasst die Adressierung desselben Unterbrechungsspeicherplatzes und den Austausch des Ablaufzählerinhalts, der die Zentraleinheit in ihre vorhergehende Betriebsart zurückführt. Bezüglich weiterer Information im Hinblick auf bestimmte erwähnte Befehlstypen und im Hinblick auf ihre Anwendung in der Zentraleinheit sei auf die Druckschrift "Series 200 Programmers" Reference Manual Models 200 bis 4200" v. 26.2.71 (Bestellnummer 139) hingewiesen.

Es sei im Zusammenhang mit Fig. 4a noch darauf hingewiesen, dass das eine Fortsetzungsanforderung speichernde Flipflop 400-1 auch dann in den Binärzustand 1 umgeschaltet wird, wenn ein nicht vorhandener Speicherprüfzustand auftritt (das heisst dann, wenn das Signal MNMCPIA ein Binärsignal 1 ist), vorausgesetzt, dass die Zentraleinheit im Unterbrechungsbetrieb arbeitet (das heisst, dass die Signale HBMAOIO und PSTOPØØ beide 1-Signale sind). Die hier beschriebene Prüfungseinrichtung zur Ermittlung bzw. Prüfung eines nicht vorhandenen Speichers vergleicht eine bezeichnete bzw. zugeteilte Speicheradresse jedes dem Hauptspeicher zugeführten Befehls mit einem Wert der für das System verfügbaren Maximalspeichergrösse. Wenn die zugeteilte Adresse gleich diesem Wert ist oder diesen überschreitet, signalisiert die Einrichtung das Vorhandensein eines nicht vorhandenen Speicher betreffenden Fehlers, indem das Signal MNMCPIA in ein Binärsignal 1 übergeführt wird.

Nunmehr sei der zur Überprüfung eines nicht vorhandenen Speichers dienende Prüfbereich erläutert. In Fig. 4b sind die Verknüpfungsschaltungen gezeigt, die das Auftreten eines nicht vorhandenen Speicher betreffenden Prüffehlers feststellen. Ausserdem sind in Fig. 4b die Schaltungen gezeigt, die eine Anzeige hierüber speichern. Der

betreffende Bereich enthält eine Anzahl von Vergleicherverknüpfungsschaltungen 400-52 bis 400-55, die von demselben, oben beschriebenen Chip hergestellt sind. Jede Vergleicherschaltung vergleicht unterschiedliche Sätze der 4-Bit-Adressensignale, um zu bestimmen, ob die höherwertigen 4-Bit-Adressensignale von der Zentraleinheit her gleich sind mit irgendeinem der Sätze der Signale oder grösser sind als diese Signalsätze.

In Fig. 4b ist gezeigt, dass die Vergleicherschaltungen 400-52 bzw. 400-53 die Sätze der Adressenbits von den ersten beiden Speicherschnittstellen-Einrichtungen und von den letzten beiden Schnittstellen-Einrichtungen her vergleichen. Die Vergleicherschaltung 400-54 vergleicht die beiden Sätze der Adressensignale, die ihr von den Gatterschaltungen übertragen werden, die in den Blöcken 400-50 und 400-70 enthalten sind. Diese Schaltungen sind durch ein Übertrag-Ausgangssignal und durch dessen Komplement (das sind die Signale MNEBC00 und MNEBC10) von der zugehörigen Vergleicherschaltung her veranlasst, die niederen Adressensignale der beiden Sätze von Adressensignalen zu einer nächsten Vergleicherschaltung hin zu übertragen. Darüber hinaus wird ein Eintragsignal in jede der Vergleicherschaltungen eingeführt (das heisst, dass das Signal CN in ein Binärsignal 1 übergeführt wird), so dass ein Satz von Signalen zu der nächsten Vergleicherschaltung dann übertragen wird, wenn die beiden verglichenen Signalsätze hinsichtlich des Wertes gleich sind. Die Vergleicherschaltungen führen jeweils einen arithmetischen Vergleich aus, indem eine Subtraktionsoperation ausgeführt wird, was die Gleichung $A - B - 1$ dargestellt ist, wobei A und B den Signalen entsprechen, die den Eingangsanschlüssen A0 bis A3 beziehungsweise B0 bis B3 zugeführt werden.

2400161

Die Vergleicherschaltung 400-54 veranlasst sodann die Gatterschaltungen eines Blockes 400-80, die niederen Signale der beiden Sätze von Signalen, die kennzeichnend sind für die niedrigsten Adressensignale der vier Sätze von Adressensignalen, zu der Vergleicherschaltung 400-55 zu übertragen, und zwar für einen Vergleich mit den Adressensignalen hoher Wertigkeit von dem Speicheradressenregister her.

Wenn ein Versuch unternommen wird, eine Information zu einem Speicherplatz in einem Speichermodul zu übertragen, dessen Nummer gleich der Nummer oder kleiner als die Nummer ist, die durch den Bitinhalt hoher Wertigkeit des Speicheradressenregisters bezeichnet ist, so sperrt die Anordnung eine derartige Übertragung und signalisiert eine Adressenstörung, indem das MNMCPIA-Signal in ein Binärsignal 1 über das UND-Glied 400-82 übergeführt wird. Dies bedeutet, dass dann, wenn die Zentraleinheit das Auftreten der Prüfung gestattet, (das heisst dann, wenn das Signal MNEMS1B ein Binärsignal 1 ist), das Signal MNESC00 bei Überführung in ein Binärsignal 1 durch die Vergleicherschaltung 400-55 das Signal MNMCPIA in ein Binärsignal 1 während des Leseteiles eines Speicherzyklus umschaltet (das heisst, dass das Signal MWCCY00 ein 1-Signal ist). Während eines Verarbeitungszyklus (das heisst dann, wenn das Signal CT201 ein 1-Signal ist) wird ein für die Überprüfung eines nicht vorhandenen Speichers vorgesehenes Prüf-Flipflop 400-84 für die Zentraleinheit in den Binärzustand 1 umgeschaltet. Das Flipflop 400-84 wird in den Binärzustand Null auf das Auftreten eines nachfolgenden PDA-Zeitsteuersignals hin zurückgestellt.

Unter Bezugnahme auf die obigen Zeichnungsfiguren sei nunmehr die Arbeitsweise des die vorliegende Erfindung verkörpernden Speichersystems unter besonderer Bezugnahme auf die Figuren 5a bis 5h beschrieben. In Fig. 5a ist schematisch die Zuteilung der Speichermoduln an die mechanischen Einheiten

2400161

oder Einschübe in dem Speichersystem gemäss Fig. 1 veranschaulicht.

Die 32 Speichermoduln der Speicherschnittstelleneinrichtungen sind für Adressierungszwecke derart numeriert, dass der Zugriff von vier Zeichensmodulen gleichzeitig ermöglicht ist, und zwar zum parallelen Auslesen von vier aufeinanderfolgenden Zeichen. Dies heisst, dass die Zeichenadressen unter den Moduln der vier Schnittstelleneinrichtungen verschachtelt sind, wie dies veranschaulicht ist. Dies ermöglicht den Zugriff zu irgendwelchen vier Zeichen innerhalb eines einzigen Speicherzugriffszyklus. Wie insbesondere in Fig. 1 gezeigt ist, sind die Zeichenadressen unter den vier Speicherschnittstelleneinrichtungen in zyklischer Weise verschachtelt. So spricht insbesondere die erste Schnittstelleneinrichtung auf Zeichenadressen $0 + 4^M$ an, wobei M den Wortadressen 0 bis $2^{19} - 1$ entspricht. In entsprechender Weise sind den zweiten, dritten und vierten Schnittstelleneinrichtungen die Zeichenadressen $1 + 4^M$, $2 + 4^M$ bzw. $3 + 4^M$ zugeteilt.

Den Speichermoduln der jeweiligen Schnittstelleneinrichtung sind die Adressen 0000 bis 0111 durch ihre entsprechenden Einstelleinheiten zugeteilt, wie dies in Fig. 5a angegeben ist. Das letzte Modul innerhalb der jeweiligen Speicherschnittstelleneinrichtung versorgt die Zentraleinheit mit Signalen, die kennzeichnend sind für die Grösse oder Anzahl der für den Gebrauch verfügbaren Speichermoduln. Normalerweise entspricht diese Anzahl, wenn sämtliche Moduln für den Gebrauch verfügbar sind, der Signaldarstellung 0111.

In Fig. 5b ist schematisch der während des normalen Betriebs verfügbare Adressenraum veranschaulicht. Wie zuvor erwähnt, bildet jedes Speichermodul eine 16K-Zeichen-Speicherstufe (16384 Zeichen), was zu einem maximal adressierbaren Speicher-
raum von 131.072 Zeichen je Schnittstelleneinrichtung oder

409829/0977

2400161

zu einem Gesamtspeicherraum von 524.288 Zeichen oder Bytes führt. Aus Fig. 5b ergibt sich, dass jeder Zeilen-Bezeichner 16.384 Zeilen von Vier-Zeichen-Worten bezeichnet.

Zum Zwecke einer einfachen Erläuterung sei zunächst angenommen, dass das Speichersystem gemäss Fig. 1 nicht irgendwelche Ersatz-Speichermodule enthält. Dies bedeutet, dass die der Karte 212 gemäss Fig. 2c entsprechende Verbindungsleitungskarte, die in jedem der Einschübe 1, 3, 5 und 7 enthalten ist, so verdrahtet bzw. beschaltet ist, dass eine maximal verfügbare Modulnummern-Bitkonfiguration von 0111 je Moduleinstelleinheit innerhalb des Speichersystems festgelegt ist.

Es sei bemerkt, dass die Schnittstelleneinrichtung, welche die kleinste Bitkonfiguration von verfügbaren Modulen zurückgibt, die Maximalgrenze für das Speichersystem gemäss Fig. 1 festlegt. Wie in Fig. 5b gezeigt, entspricht die Maximalgrenze einem Speicherplatz mit einer Zeichenadresse, der grösser ist als der letzte Speicherplatz des achten Speichermoduls der jeweiligen Schnittstelleneinrichtung (das sind die Module 28-31 in Fig. 5b). Wenn die Anfangswort-Speicherplatzadresse (das ist die Adresse, die dem ersten Zeichenspeicherplatz innerhalb der vier aufeinanderfolgenden adressierten Speicherplätze bezeichnet) in dem Speichersystem die Maximalgrenze überschreitet, ruft die Zentraleinheit einen Ausnahmezustand hervor, der zuvor als Prüfung eines nicht vorhandenen Speichers erwähnt worden ist. Wie erwähnt, kann dieser Zustand eine Anfangsunterbrechung oder Stillsetzung der Zentraleinheit hinsichtlich der weiteren Verarbeitung bewirken, und zwar in Abhängigkeit von der Betriebsart, in der die Zentraleinheit zu dem betreffenden Zeitpunkt arbeitet.

Fig. 5c veranschaulicht schematisch den Speicheradressenraum bzw. -Platz, wenn ein Modul ausgefallen ist. Es sei angenommen,

2400161

dass das Modul 12 (das ist das vierte Modul im zweiten Einschub) ausgefallen ist. Es sei ferner insbesondere angenommen, dass der Paritätsprüflogikschaltungsteil 214 gemäss Fig. 2h einen Paritätsfehler in den Daten festgestellt hat, die von den Leseverstärkern des vierten Speichermoduls gemäss Fig. 2 in den Daten-Verriegelungsschaltungsbereich 216 eingelesen worden sind. Der Fehlerzustand, der sich auf den Betrieb des in Frage kommenden Moduls bezieht, wird als Prüfzustand durch den Modulanzeige-Datenbereich 212 gespeichert. Bezugnehmend auf Fig. 2i sei insbesondere darauf hingewiesen, dass das Auftreten eines Paritätsfehlerprüfzustands bewirkt, dass das Signal MMCHK30 in ein Binärsignal 1 übergeführt wird, was seinerseits dazu führt, dass die Verriegelungsschaltung 212-14 in den Binärzustand 1 gebracht wird. Dies wiederum bewirkt, dass die Anzeigelampe 212-29 des Bereichs 212-20 zum Aufleuchten gebracht wird.

Aus Fig. 5c kann ersehen werden, dass dann, wenn ein Modul ausfällt, die in dem betreffenden Modul und den anderen drei Modulen, die in derselben Reihe bzw. Zeile enthalten sind, wie das fehlerhafte Modul, gespeicherte Information nicht mehr länger als gültig angesehen werden kann. Der Grund hierfür liegt darin, dass der Informationsinhalt der Module, die innerhalb derselben Reihe bzw. Zeile liegen wie ein fehlerhaftes Modul, nicht mehr gültig ist, ergibt sich aus einem Zugriff zu einer Information, die in irgendeinem der Module innerhalb der betreffenden Reihe gespeichert ist, welche das fehlerhafte Modul 12 enthält. Die oberhalb oder unterhalb der Reihe bzw. Zeile c, welche das fehlerhafte Modul 12 enthält, befindliche Information ist jedoch noch gültig und für einen Zugriff verfügbar.

Fig. 5d zeigt schematisch den Adressenraum bzw. Adressenplatz des Speichersystems gemäss Fig. 1, nachdem die Speichermodulen des Systems automatisch neu zusammengestellt worden

409829/0977

2400161

sind und bevor das Speichersystem mit einer Information wieder geladen worden ist. Wie erwähnt, kann die Neuzusammenstellung entweder durch eine Bedienperson oder durch die Zentraleinheit eingeleitet werden. In einem Fall leitet die Bedienperson die Speicherneuzusammenstellung dadurch ein, dass sie entweder das fehlerhafte Modul in einen vom Datenverarbeitungssystem unabhängigen Zustand, dem sogenannten Off-Line-Zustand, unter Verwendung eines Steuerschalters in dem das fehlerhafte Modul enthaltenen Einschub bringt, oder dass sie den in dem Wartungsfeld vorgesehenen Betriebsartschalter in die Freigabe-MM-Stellung einstellt und dann die Ausführungs-Drucktaste in demselben Wartungsfeld drückt.

Aus Fig. 2f ergibt sich, dass das von der Datenverarbeitungsanlage unabhängig geschaltete Modul 12 das Signal M4FLOOØØ veranlasst, in den Binärzustand 1 umzuschalten. Dies wiederum führt dazu, dass die Verriegelungsschaltung 208-4 in den Binärzustand 1 umschaltet, was das Signal M4OFL1Ø veranlasst, in den Binärzustand 1 umzuschalten. Wenn das Signal M4OFL1Ø als Binärsignal 1 auftritt, bewirkt dies, wie dies aus Fig. 2d hervorgeht, dass die Gatter- und Inverterschaltung 210-6d das Signal M4BLKØØ in ein Binärsignal Null überführt.

Hierdurch wird die Erzeugung eines Eintragsignals Cn in die Addiererschaltung 210-2d gesperrt, was die betreffende Schaltung veranlasst, eine Summe an ihren Ausgangsanschlüssen F0 bis F3 zu erzeugen. Die Summe entspricht dem nicht modifizierten Bitmuster 0010, welches den Addiererschaltungseingangsklemmen A0 bis A3 zugeführt worden ist. Die anderen Einstelleinrichtungen gemäss Fig. 2c und 2d arbeiten in der Weise, dass sie das ihren Eingangsanschlüssen A0 bis A3 zugeführte Bitmuster modifizieren, was dazu führt, dass den Speichermoduln Null, 4, 8, 16, 20, 24 und 28 gemäss Fig. 5c die Moduladressen 0000 bis 0110 zugeteilt werden. Damit dürfte ersichtlich sein, dass das fehlerhafte Modul bewirkt,

daß dem nächsten Modul innerhalb seiner Spalte (d.h. R) seine Adresse zugeteilt wird und daß die Gesamtanzahl der Moduln um eins vermindert wird.

Obwohl die Einstelleinrichtung des fehlerhaften Speichermoduls 12 das Adressenbitmuster 0010 zu seinen Modulauswahlschaltungen hin überträgt, welches mit dem Adressenmuster übereinstimmt, das von der Zentraleinheit übertragen worden ist, sind diese Schaltungen durch das Signal M4OFL30 daran gehindert, auf diese Adressensignale anzusprechen. Dies heißt, daß dann, wenn das Signal M4OFL30 ein Binärsignal 1 ist, die Modulauswahlschaltungen des vierten Moduls (das ist das Modul 4 gemäß Fig. 2d) der Schnittstelleneinrichtung 1 daran gehindert sind, das Ausfallsignal M4SEL10 zu erzeugen, wenn die Auswahl-schaltung einen positiven Vergleich zwischen den zugeteilten Adressensignalen und den Adressensignalen feststellt, die von der Zentraleinheit bereitgestellt werden. Deshalb führt die Einstelleinrichtung automatisch das Modul 12 der Schnittstelleneinrichtung 12 aus dem Speichersystem heraus und ersetzt es durch das nächste Modul in der Spalte. Dies führt zu einer Verschiebung der Stellungen der übrigen Moduln, die höhere Adressen haben, um eine Reihenposition in bezug auf den übrigen Teil des Systems, wie dies in Fig. 5d durch die in Klammern gesetzten Zahlen 16, 20, 24 und 28 angedeutet ist.

Da in den übrigen Schnittstelleneinrichtungen keine fehlerhaften Moduln enthalten sind, behalten die Einstelleinheiten der Schnittstelleneinrichtungen dieselben Moduladressenzuteilungen für ihre entsprechenden Moduln bei, wie dies durch die den Moduln der Spalten S, T und U gemäß Fig. 5d zugeteilten Nummern veranschaulicht ist. Da

die der Zentraleinheit von der Schnittstelleneinrichtung 1 her übertragene Gesamtzahl von Moduln geringer ist als die der anderen Schnittstelleneinrichtungen, verringert sich die Maximalgrenze des Speicherraums des Speichersystems um 2^{16} (65 536) Zeichen, bedingt durch den mit "nicht adressierbar" bezeichneten Raum^{wie dies} in Fig. 5d veranschaulicht ist.

Wenn ein Versuch unternommen wird, einen Zugriff zu einem 4-Zeichenwort zu erhalten, welches oberhalb der maximalen Speichergrenze liegt (d.h. die Moduln in der Zeile G), dann sperren die Modulauswahlschaltungen des Moduls in der Spalte R (siehe Fig. 2e) die Erzeugung eines Modulauswahlsignals (z.B. M4SEL1Ø). Die Modulauswahlschaltungen der anderen Spalten erzeugen jedoch noch das Auswahlsignal. Die Zentraleinheits-Verknüpfungsschaltungen gemäß Fig. 4b signalisieren jedoch eine Prüfung bezüglich eines nicht vorhandenen Speichers durch Abgabe des Signals MMMCPIA als Binärsignal 1. Aus Fig. 4b dürfte insbesondere ersichtlich sein, daß die Nummernsignale von den Schnittstelleneinrichtungen 1 und 2 durch den Vergleicher 400-52 verglichen werden. Die Nummer mit dem geringsten Wert wird zu der Vergleicherschaltung 400-54 hin über Gatterschaltungen des Blockes 400-60 übertragen, um mit den Ergebnissen einer Vergleichsoperation verglichen zu werden, die durch den Vergleicher 400-53 zwischen den Nummernsignalen der Schnittstelleneinrichtungen 3 und 4 ausgeführt worden ist. Die Schaltungen des Blockes 400-70 übertragen das kleinere Signal der beiden Nummernsignale, die durch die Vergleicherschaltung 400-54 verglichen worden sind, für einen Vergleich mit den höherwertigen Bits der Speicheradresse, die von der Zentraleinheit verarbeitet wird.

Wenn die Anfangsadresse, die verarbeitet wird, größer ist als das kleinste der Modulnummernsignale, die von den Speicherschnittstelleneinrichtungen zurückgegeben worden sind, veranlaßt dies die Vergleicherschaltung 400-55, das Übertragungssignal MNESCØØ in ein Binärsignal 1 zu überführen, was seinerseits der Zentraleinheit vom Vorliegen eines einen nicht vorhandenen Speicher betreffenden Prüfzustands signalisiert. Wie zuvor erwähnt, sind die Verknüpfungsschaltungen gemäß Fig. 4a in der Weise betrieben, daß sie eine Unterbrechung in der Zentraleinheit-Verarbeitung bewirken. Dies ermöglicht der Zentraleinheit zu bestimmen, welche Maßnahme im Zuge der Verarbeitung des erwähnten Prüfzustands zu treffen ist. Normalerweise arbeitet die Zentraleinheit in der Weise, daß sie den Zugriff zu dem fehlerhaften Speichermodul verhindert und ein Kennzeichen bezüglich des nicht vorhandenen Fehlerzustands setzt.

Die obige Neuzusammenstellungs-Operation kann, wie erwähnt, automatisch von der Zentraleinheit her eingeleitet werden. Dies heißt, daß die Zentraleinheit so betrieben werden kann, daß sie das Signal MPURG1ØT in den Binärzustand 1 überführt, wenn sie eine Paritätsfehleranzeige von einer der Speicherschnittstelleneinrichtungen her empfängt. Wenn z.B. der Paritätsprüflogikschaltungsbereich 214 einen Paritätsfehler in dem vierten Modul ermittelt, führt er das Signal MMCHKOT in ein Binärsignal 1 über, was seinerseits das Speicher-Paritätsfehlersignal MMPED10 in ein Binärsignal 1 überführt. Wie erwähnt, wird das Speicherparitätssignal dadurch gewonnen, daß mittels einer ODER-Schaltung (nicht gezeigt) die Prüfsignale von jeder der Speicher-Schnittstelleneinrichtungen verknüpft werden (z.B. das Signal MMCHKOT von jeder Speicher-Schnittstelleneinrichtung).

Wenn die Zentraleinheit in einem Fortsetzungs-Unterbrechungs-Betrieb arbeitet, erzeugt sie auf die Feststellung des Prüfzustands hin ein Unterbrechungsanforderungssignal, welches die betreffende Zentraleinheit veranlaßt, auf einen ersten Befehl in einer Rückgewinnungs-Leitprogrammroutine Bezug zu nehmen. Als Teil der Programmroutine bestimmt die Zentraleinheit den Typ des Korrekturverfahrens, das zur Behandlung des Fehlerzustands erforderlich ist.

Wie an sich bekannt, können verschiedene Verfahrensweisen angewandt werden, um die Auswirkung dieses Ausfalltyps zu vermindern. So könnte z.B. die Zentraleinheit den "unangenehmen" Befehl erneut untersuchen, wenn dies durchführbar ist, wobei die Zentraleinheit nach wiederholten Untersuchungen eine Neuzusammenstellung des Speichers fordern könnte durch Umschalten des Signals MMPURS10 in ein Binärsignal 1. Hierdurch werden automatisch sämtliche fehlerhaften Moduln aus dem Speichersystem "freigegeben", und ferner wird die Neuzusammenstellung der übrigen Speichermoduln zwecks Bildung eines neuen, zusammenhängenden Speicherraumes bewirkt. Dies führt zu dem Adressenraum in der aus Fig. 5d ersichtlichen Anordnung.

Obwohl die in den Moduln 13 bis 27 gespeicherte Information in Fig. 5d als ungültig bezeichnet ist, ist sie nicht ungültig, wenn ein Zugriff zu der Information zeichenweise erfolgt. Da das Modul 12 jedoch automatisch aus dem Adressenraum herausgenommen ist, ist der Adressenraum verkleinert und unter den Moduln 16, 20, 24 und 28 neu verteilt, wobei die Zuteilung der Zeichenadressen sich durch die Neuzusammenstellung geändert hat. Es ist

dabei diese Tatsache, die wesentlich dafür ist, daß die Information in den übrigen Moduln ungültig wird. Deshalb ist es als Teil der Wiedergewinnungs-Leitprogrammroutine erforderlich, die Inhalte der Speichermoduln neu zu laden.

Es sei darauf hingewiesen, daß die Zentraleinheit nach erfolgter Fehlerbeseitigung durch Entfernung des fehlerhaften Moduls und Neuzusammenstellung der übrigen Moduln unter Bereitstellung eines zusammenhängenden Adressenraums darüber entscheidet, an welcher Stelle das Programm, das vor dem Ausfall gelaufen ist, wieder in Betrieb genommen wird. Es kann dabei nicht immer möglich sein, einen gesamten Satz von Programmen wieder vom Anfang an zu durchlaufen, und zwar entweder wegen zeitlicher Begrenzungen oder mit Rücksicht darauf, daß die erforderlichen Daten in dem Speicher durch die zuvor ausgeführten Programme modifiziert worden sind. Es hat sich in solchen Fällen als wünschenswert erwiesen, über eine Anzahl von Wiederholungspunkten (z.B. Prüfpunkten) innerhalb des ausgeführten Programms zu verfügen, die automatisch für die Aufbewahrung eines bestimmten Programms und einer bestimmten Zentraleinheits-Zustandsinformation dienen.

Wenn ein Fehler festgestellt wird und wenn die Neuzusammenstellung eingeleitet worden ist, läuft die Zentraleinheit das Programm zu einem vorhergehenden Prüfpunkt zurück, an welchem der Systemzustand bekannt und als gültig angesehen ist. Selbstverständlich werden derartige Rücklauf- bzw. Wiederholungspunkte an der Stelle des obigen Ausfalls von einer Berücksichtigung ausgenommen sein. Das Verfahren kann außerdem die Ausnahme bestimmter Jobs von der Ausführung und die Verzögerung ihrer Ausführung bis zu einem späteren Zeitpunkt erforderlich

machen, und zwar als Ergebnis der Verringerung des Speicher-
raumes.

Verschiedene Verfahren können zur Realisierung der Wieder-
gewinnung angewandt werden. Einige dieser Verfahren sind
in der Zeitschrift "IEEE Transactions on Computers"
Volume C-21, Nr. 6, Juni 1972 in dem Artikel "Rollback
and Recovery Strategies for Computer Programs" von
K.M. Chandy and C. B. Ramamoorthy erläutert.

Fig. 5e zeigt in schematischer Form den Adressenraum
nach der Neuzusammenstellung und nach erneuter Ladung
des Speichersystems mit einer Information. Fig. 5f ver-
anschaulicht schematisch den Adressenraum nach dem Auf-
treten eines zweiten Modulausfalls (das ist das Modul 22)
und der folgenden Neuzusammenstellung und Neuladung des
Speichersystems.

Aus Fig. 5f kann ersehen werden, daß die Neuzusammen-
stellungsanordnung gemäß der vorliegenden Erfindung den
Umfang der Verschachtelung in dem System solange nicht
vermindert, bis sämtliche Moduln einer bestimmten Schnitt-
stelleneinrichtung (Spalte) als fehlerhaft bestimmt wor-
den sind. Um für den Schutz gegen diesen auftretenden
Fehlerfall zu sorgen und um gleichzeitig eine Einrich-
tung bereitzustellen, die zumindest einen Modulausfall
zu läßt, ohne daß die Speicherraumgröße verringert wird,
kann der Modul-Neuzusammenstellungslogikschaltungsteil 210
der jeweiligen Speicherschnittstelle so ausgelegt sein,
daß er für ein Reserve-Modul vorgesehen ist. Erreicht
wird dies dadurch, daß die Verbindungsleitungskarte in
dem jeweiligen Modulneuzusammenstellungsbereich derart

ausgelegt wird, daß eine maximale Anzahl von Moduln angegeben wird, die um eins kleiner ist als die Anzahl der für den Adressenraum verfügbaren Moduln. So ist z.B. die Verbindungsleitungskarte 210-8 gemäß Fig. 2c innerhalb der Speicherschnittstelleneinrichtung so verdrahtet, daß ein maximaler Nummerncode von 0110 auftritt; der normale Adressenraum hat dabei die Form, wie sie in Fig. 5g gezeigt ist. Es sei darauf hingewiesen, daß die Maximalgrenze dem letzten Speicherplatz der Zeile F entspricht.

Für eine leichte Erläuterung sei wieder angenommen, daß das vierte Modul gemäß Fig. 2, das ist das Modul 12, ausgefallen ist und daß die Zentraleinheit festgelegt hat, daß eine Neuzusammenstellung des Speichersystems erforderlich ist. Demgemäß arbeitet die Zentraleinheit in der Weise, daß sie das Steuersignal MMPURS10 in ein Binärsignal 1 überführt, welches das Speichersystem sämtlicher fehlerhafter Moduln "freigibt".

Aus Fig. 5h ergibt sich, daß das fehlerhafte Modul 12 weggenommen und durch das nächste Modul in der Spalte R ersetzt ist und daß die übrigen Moduln in ihrer Stellung in der zuvor beschriebenen Weise verschoben sind. Es sei jedoch darauf hingewiesen, daß das Reserve-Speichermodul der Spalte R hinzugefügt worden ist (d.h., daß die Adresse 0110 durch ihre Einstelleinrichtung zugeteilt worden ist) und daß die maximale Speichergrenze unverändert bleibt. Dies bedeutet, daß vor der Neuzusammenstellung die Einheit-Einstelleinrichtung des Reserve-Speichermoduls durch das System wirksam abgeschaltet ist, und zwar dadurch, daß ihre zugehörige Vergleicherschaltung daran gehindert ist, die an ihre Addiererschaltung abgegebenen Eingangsnummernsignale um 1 zu

erhöhen. Ferner ist die betreffende Einstelleinrichtung daran gehindert, ein Modulauswahlsignal für die Auswahl ihres Speichermoduls zu erzeugen. Die Sperrung tritt mit Rücksicht darauf auf, daß die Vergleicherschaltung das Signal MAMX400 in ein Binärsignal 1 überführt, welches verhindert, daß ein Eintragsignal an die Addiererschaltung abgegeben wird. Außerdem sperrt dasselbe Signal seine Modulauswahlschaltungen für die Erzeugung eines Modulauswahlsignals, welches den Zugriff zu einem Speicherplatz in dem Reserve-Modul freigibt.

Unter Berücksichtigung der obigen Ausführungen sei angenommen, daß das vierte Modul gemäß Fig. 2d dem Reserve-Modul entspricht. Es zeigt sich, daß vor der Neuzusammensetzung die Modulnummernsignale, die den Eingangsanschlüssen A0 bis A3 des Vergleichers 210-4a zugeführt worden sind, mit den Signalen verglichen werden, die den Eingangsanschlüssen B0 bis B3 zugeführt sind. Da die der Vergleicherschaltung über die Anschlüsse B0 bis B3 zugeführten Signale dem Bitmuster 0110 entsprechen und da die der Vergleicherschaltung über die Eingangsanschlüsse A0 bis A3 zugeführten Signale dem Bitmuster 0110 entsprechen, arbeitet die Vergleicherschaltung 210-4d in der Weise, daß sie auf den positiven Vergleich hin das Signal MAMX400 in ein Binärsignal 1 überführt, während gleichzeitig das Signal M4BLK000 in ein Binärsignal 0 übergeführt wird. Das Signal M4BLK000 stellt somit ein Null-Eintragsignal für seine Addiererschaltung dar, die daran gehindert ist, durch eines der den Eingangsanschlüssen A0 bis A3 zugeführten Signale weiterzuschalten.

Aus Fig. 2e ergibt sich, daß die Signale MAMX400 und M4BLK00 bewirken, daß ein dem Signal M4HLD10 entsprechendes Haltesignal in ein binäres Null-Signal übergeführt wird, welches die Speicherverriegelungsauswahlschaltung für das vierte Modul am Umschalten in den Binärzustand 1 hindert (dies heißt, daß verhindert ist, daß das Signal M4SEL10 in das Binärsignal 1 umgeschaltet wird).

Auf die Neuzusammenstellung hin sind die Modulnummernsignale, die an die Vergleicherschaltung 210-4d über die Eingangsanschlüsse B0 bis B3 desselben Reserve-Speichermoduls zugeführt worden sind, jedoch um eins verringert; sie entsprechen nunmehr dem Bitmuster 0101. Deshalb stellt die Vergleicherschaltung 210-4d keinen positiven Vergleich fest; sie ist nicht imstande, das Signal MAMX400 in ein Binärsignal 1 und das Signal M4BLK00 in ein Binärsignal 0 zu überführen. Somit arbeitet die Einheit-Einstelleinrichtung 210-1d des Reservemoduls in der Weise, daß die Adressensignale um 1 erhöht werden, die den Eingangsanschlüssen A0 bis A3 ihrer Addiererschaltung 210-2d zugeführt werden, und daß die Auswahl ihres Speichermoduls über ihre Speicherauswahlverriegelungsschaltung ermöglicht ist.

Wie oben erwähnt, werden die dem Bitmuster 0110 entsprechenden modifizierten Signale von dem Reservemodul zu der Zentraleinheit übertragen, in der die Verknüpfungsschaltungen gemäß Fig. 4d feststellen, ob die maximal zulässige Adressenraumgrenze überschritten worden ist. Die Adressenzuteilungen zu den Speichermoduln der übrigen Schnittstelleneinrichtungen bleiben dieselben wie in Fig. 5h gezeigt. Es sei darauf hingewiesen, daß ein

anschließender Modulausfall innerhalb irgendeiner der übrigen Spalten dazu führt, daß das Reservemodul in die betreffende Spalte miteinbezogen ist.

Aus der vorstehenden Erläuterung dürfte ersichtlich sein, daß die Erfindung durch Einbeziehung eines Reserve-speichermoduls in die jeweilige Speicherschnittstellen-einrichtung imstande ist, denselben Speicherraum bei Auftreten eines einzigen Speichermodulausfalls in der jeweiligen Schnittstelleneinrichtung aufrechtzuhalten. Es sei selbstverständlich darauf hingewiesen, daß die Anzahl der Speichermoduln erhöht werden kann, um je nach Bedarf die Systemforderungen zu erfüllen.

Es sei ferner darauf hingewiesen, daß die beschriebene Anordnung auf einfache und wirksame Weise eine Einrichtung darstellt, welche eine bestimmte Größe eines Speicherraumes bzw. Speicherplatzes für ein System garantiert. Darüber hinaus bringt die Erfindung noch den zusätzlichen Vorteil mit sich, daß sie sicherstellt, daß die Verschachtelungs-Eigenschaft des Speichersystems durch eine bestimmte Anzahl von Speicherausfällen nicht beeinträchtigt wird.

Es sei noch darauf hingewiesen, daß, was von dem auf dem vorliegenden Gebiet tätigen Fachmann ohne weiteres einzusehen sein dürfte, viele Modifikationen der Anordnung gemäß der Erfindung ohne Abweichung von den Lehren der Erfindung vorgenommen werden können. Obwohl z.B. die Erfindung an einer besonderen Form einer Einheit-Einstelleinrichtung, im vorstehenden auch nur kurz als

Einstelleinrichtung bezeichnet, erläutert worden ist, dürfte einzusehen sein, daß auch andere Typen von Einheit-Einstelleinrichtungen verwendet werden können, um numerische Bitmuster den jeweiligen Speichermoduln zuteilen. Es dürfte in gleicher Weise einzusehen sein, daß andere Einrichtungen für die Hinzufügung von Reserve-moduln zu dem Speichersystem bereitgestellt werden können. Schließlich dürfte einzusehen sein, daß eine Vielzahl von Speicherfehlerdetektorverfahren und Speichermodulschaltungen in Kombination mit der Neuzusammenstellungsanordnung gemäß der Erfindung verwendet werden kann.

P a t e n t a n s p r ü c h e

- ① Datenverarbeitungssystem, dadurch gekennzeichnet, daß eine Vielzahl von unabhängig adressierbaren Speichermoduln (24,26) vorgesehen ist, daß eine Vielzahl von Moduln-Einstelleinrichtungen (210) vorgesehen ist, von denen eine erste Einstelleinrichtung so geschaltet ist, daß sie einen bestimmten Satz von Eingangssignalen aufnimmt, daß jede der übrigen Einstelleinrichtungen so geschaltet ist, daß sie Eingangssignale von einer ihr vorangehenden Einstelleinrichtung aufnimmt, daß die Einstelleinrichtungen jeweils so betrieben sind, daß sie die Eingangssignale modifizieren und Ausgangs-adressensignale erzeugen, die jeweils einer anderen Verknüpfungsadresse entsprechen, welche an eine nachfolgende Einstelleinrichtung und an das zugehörige eine Modul abgegeben wird, daß mit den Speichermoduln eine Fehlerdetektoreinrichtung verbunden ist, die einen minimalen Zuverlässigkeits-Standardwert bezüglich der Speichermoduln feststellt und die derart betrieben ist, daß sie jedesmal dann ein Prüffehlersignal erzeugt, wenn sie bezüglich eines Moduls, zu dem sie einen Zugriff hat, feststellt, daß dieses Modul nicht den minimalen Standardwert erfüllt, womit das betreffende Modul als fehlerhaftes Modul bezeichnet wird, daß mit der Fehlerdetektoreinrichtung eine Speichereinrichtung verbunden ist, die durch die Prüfeinrichtung veranlaßt wird, Zustandssignale zu speichern, die das Auftreten des Prüffehlersignals anzeigen, welches während des Zugriffs zu irgendeinem Modul der Moduln festgestellt worden ist, daß mit der Speichereinrichtung eine Verknüpfungseinrichtung verbunden ist, die auf das Auftreten eines Befehlssignals hin Sperrsteuersignale an die Einstelleinrichtungen abgibt, die den im Prüf-

2400161

zustand befindlichen Moduln zugehörig sind, und daß die zuletzt genannten Einstelleinrichtungen durch die Steuersignale veranlaßt werden, die Modifizierung der Eingangssignale zu verhindern, derart, daß die Erzeugung bestimmter zugeteilter Verknüpfungsadressen geändert und die Abschaltung sämtlicher fehlerhafter Speichermoduln freigegeben wird, wobei eine Neuzusammenstellung der übrigen Speichermoduln zu einem durchgehend adressierbaren Speicherraum führt.

2. System nach Anspruch 1, dadurch gekennzeichnet, daß eine Vielzahl von Speicherauswahleinrichtungen vorgesehen ist, die individuell mit den Einstelleinrichtungen und jeweils einem zugehörigen Speichermodul verbunden sind, daß die Modulauswahleinrichtungen jeweils eine Aufnahmeeinrichtung enthalten, welche die Ausgangssignale von der zugehörigen Einstelleinrichtung und eine Vielzahl von Adressensignalen aufnimmt, die so codiert sind, daß sie Verknüpfungsadressen jedes der für einen Zugriff ausgewählten Speichermoduln bezeichnen, und daß die Verknüpfungseinrichtungen individuell mit jeder der Auswahleinrichtungen verbunden sind und die Steuersignale an die Modulauswahleinrichtung jedes fehlerhaften Moduls abzugeben gestatten, derart, daß ein Zugriff des jeweiligen Moduls auf die Vielzahl der Adressensignale hin verhindert ist.
3. System nach Anspruch 1, dadurch gekennzeichnet, daß die Einstelleinrichtungen jeweils eine Eingangseinrichtung für die Aufnahme der Eingangsadressensignale und eine Ausgangseinrichtung für die Aufnahme der Adressensignale enthalten, die von der betreffenden Einstelleinrichtung entsprechend der Verknüpfungsadresse erzeugt worden

2400161

sind, daß die Einst lleinrichtung eines als fehlerhaft ermittelten Moduls durch die Steuersignale veranlaßt wird, die Eingangsadressensignale zu der Ausgangseinrichtung unverändert hinzuleiten, und daß die Adressen-Einstelleinrichtung jeder der übrigen Moduln durch die Verknüpfungseinrichtung veranlaßt wird, eine Rechenoperation auf die Eingangsadressensignale hin auszuführen und die Ergebnisse der betreffenden Rechenoperation entsprechend der zugeteilten Verknüpfungsadresse an die Ausgangseinrichtung abzugeben, und zwar für die Abgabe an die Eingangseinrichtung einer nachfolgenden Einstelleinrichtung der Vielzahl von Einstelleinrichtungen.

4. System nach Anspruch 1, dadurch gekennzeichnet, daß eine Zentraleinheit (10) vorgesehen ist, die eine mit der Fehlerdetektoreinrichtung verbundene Einrichtung enthält, welche auf das Prüffehlersignal hin das Befehlssignal erzeugt, welches die Neuzusammenstellung der übrigen Speichermoduln der in der Vielzahl vorgesehenen Speichermoduln einleitet.
5. System nach Anspruch 2, dadurch gekennzeichnet, daß jede Einstelleinrichtung eine Addiererschaltung enthält, daß die Addiererschaltungen der Einstelleinrichtungen der übrigen Speichermoduln durch die Verknüpfungseinrichtungen veranlaßt werden, die Eingangsadressensignale um eins zu erhöhen, und daß die Addiererschaltung der fehlerhaften Moduln durch die Steuersignale veranlaßt werden, die Addiererschaltung daran zu hindern, die Eingangsadressensignale um eins zu erhöhen, derart, daß einer nachfolgenden Einstelleinrichtung ermöglicht ist, die nächstfolgende Verknüpfungsadresse dem zugehörigen Speichermodul zuzuteilen.

409829/0977

6. System nach Anspruch 1, dadurch gekennzeichnet, daß die Speichermoduln jeweils eine Vielzahl von adressierbaren Speicherplätzen enthalten, daß die Fehlerdetektoreinrichtung eine mit jedem der adressierbaren Speichermoduln verbundene Fehlerfeststelleinrichtung enthält, daß die Fehlerfeststelleinrichtung eine Einrichtung aufweist, die mit jedem der Speichermoduln verbunden ist und die eine Prüfoperation bezüglich des Inhalts eines Speicherplatzes eines Speichermoduls, zu dem hin ein Zugriff erfolgt ist, ausführt und die ein Prüffehlersignal in dem Fall erzeugt, daß der Inhalt des betreffenden Moduls, zu dem der Zugriff erfolgt ist, fehlerhaft ist, daß die Speichereinrichtung eine Vielzahl von bistabilen Speichereinrichtungen enthält, deren jede ein Signal zu speichern vermag, welches kennzeichnend ist für den Betriebszustand jeweils eines anderen Speichermoduls, und zwar auf die Prüffehlersignale hin, die von der Fehlerfeststelleinrichtung erzeugt werden, daß die bistabilen Speichereinrichtungen so geschaltet sind, daß sie an die Verknüpfungseinrichtungen Signale abgeben, die kennzeichnend sind für den Zustand der Vielzahl von Speichermoduln, und daß die Verknüpfungseinrichtungen auf das Befehlssignal und die Signale hin die jeweilige Einstelleinrichtung an der Modifizierung der Eingangsadressensignale hindert, welche Einstelleinrichtung mit der betreffenden bistabilen Speichereinrichtung verbunden ist, die das Signal speichert, gemäß dem das zugehörige Speichermodul fehlerhaft ist.
7. System nach Anspruch 6, dadurch gekennzeichnet, daß die Fehlerfeststelleinrichtung eine Paritätserzeugerschaltungseinrichtung enthält, welche das Auftr ten

in s Paritätsfehlers in dem Inhalt signalisiert, und daß die bistabilen Speichereinrichtungen jeweils durch die Feststelleinrichtung veranlaßt werden, von einem ersten Zustand in einen zweiten Zustand in dem Fall umzuschalten, daß der Inhalt eines Speicherplatzes eines Speichermoduls, zu dem Zugriff erfolgt ist, als einen Paritätsfehler enthaltend festgestellt worden ist.

8. System nach Anspruch 6, dadurch gekennzeichnet, daß die Verknüpfungseinrichtung eine Vielzahl von bistabilen Speicherelementen enthält, die individuell den in einer Vielzahl vorgesehenen bistabilen Speichereinrichtungen der Speichereinrichtung zugeordnet sind, daß die bistabilen Speicherelemente der Verknüpfungseinrichtung jeweils so geschaltet sind, daß sie ein Signal von der zugehörigen bistabilen Speichereinrichtung und jeder der in der Vielzahl vorgesehenen bistabilen Speicherelemente aufnehmen, die mit der Einstelleinrichtung des betreffenden einen Speichermoduls der Vielzahl von Speichermodulen verbunden sind, und daß jedes der bistabilen Speicherelemente auf das Befehlssignal hin von einem ersten Zustand in einen zweiten Zustand entsprechend dem Zustand der zugehörigen bistabilen Speichereinrichtung umschaltet.
9. System nach Anspruch 7, dadurch gekennzeichnet, daß die bistabilen Speichereinrichtungen der Speichereinrichtung jeweils eine Aufnahmeeinrichtung für die Aufnahme eines Löschsymbols enthalten und daß die in den zweiten Zustand umgeschalteten Speichereinrichtungen durch das Löschsymbols veranlaßt werden, in den ersten Zustand umzuschalten, derart, daß die Fehlerdetektoreinrichtung freigabegeben wird, welche die Speichereinrichtung

tungen veranlaßt, Signale zu speichern, die kennzeichnend sind für die Feststellung aufeinanderfolgender Prüffehlersignale.

10. System nach Anspruch 7, dadurch gekennzeichnet, daß eine Vielzahl von Anzeige-Meldeschtaltungseinrichtungen vorgesehen ist, deren jede mit einer anderen bistabilen Speichereinrichtung der Fehlerzustandseinrichtung verbunden ist und ^{die} durch Signale von unterschiedlichen bistabilen Speichereinrichtungen veranlaßt werden, eine Anzeige bezüglich des Zustands des zugehörigen Speichermoduls zu liefern.
11. System nach Anspruch 8, dadurch gekennzeichnet, daß die bistabilen Speicherelemente der Verknüpfungseinrichtung jeweils eine Einrichtung für die Aufnahme unterschiedlicher Steuersignale enthalten und daß die bistabilen Speicherelemente jeweils auf das Steuersignal hin von dem ersten Zustand in den zweiten Zustand umschalten und entsprechende Adressen-Einstelleinrichtungen daran hindern, die Eingangssignale zu ändern, derart, daß die Abtrennung der betreffenden Speichermoduln für Prüfzwecke ermöglicht ist.
12. System nach Anspruch 8, dadurch gekennzeichnet, daß die Zentraleinheit (10) mit der Fehlerfeststelleinrichtung und den bistabilen Speicherelementen der Speichereinrichtung verbunden ist und daß die Zentraleinheit (10) Einrichtungen enthält, die auf das Prüffehlersignal hin eine bestimmte Fehlerwiederauffindungs-Programmroutine einführen, welche zur Erzeugung des Befehlssignals führt sowie die Adressen-Einstelleinrichtungen in den Stand versetzt, die Neuzusammenstellung

der Vielzahl von Speichermoduln unter Bildung des zusammenhängenden Adressenraumes zu bewirken.

13. System nach Anspruch 8, dadurch gekennzeichnet, daß die Speicherelemente und die bistabilen Speichereinrichtungen jeweils eine Aufnahmeeinrichtung für die Aufnahme eines Löschsymbols enthalten und daß die Zentraleinheit (10) mit den Fehlerfeststelleinrichtungen und den Verknüpfungseinrichtungen verbunden ist und Einrichtungen enthält, die auf das Fehlerprüfsymbol hin eine bestimmte Fehlerwiederauffindungs-Programmroutine einführen, durch die die Zentraleinheit (10) veranlaßt wird, das Löschsymbols zu erzeugen, welches anzeigt, daß eine Neuzusammenstellung nicht erforderlich ist.
14. System nach Anspruch 11, dadurch gekennzeichnet, daß eine Vielzahl von manuell gesteuerten Schalteinrichtungen vorgesehen ist, die mit unterschiedlichen bistabilen Speicherelementen verbunden sind und die jeweils so geschaltet sind, daß sie unterschiedliche Steuersymbole an die unterschiedlichen Speicherelemente abgeben.
15. System nach Anspruch 11, dadurch gekennzeichnet, daß manuell gesteuerte Schalteinrichtungen mit den bistabilen Speicherelementen der Speichereinrichtung verbunden sind und daß die Schalteinrichtungen derart betrieben sind, daß sie auf die Umschaltung hin das Befehlsymbol erzeugen sowie die Vielzahl von Einstelleinrichtungen veranlassen, eine Neuzusammenstellung der Vielzahl von Speichermoduln zur Bildung des durchgehenden Adressenraumes zu bewirken.

16. System nach Anspruch 1, dadurch gekennzeichnet, daß eine Vielzahl von Modul-Auswahleinrichtungen vorgesehen ist, deren jede mit einer anderen Einstelleinrichtung und einem anderen Speichermodul verbunden ist, daß die Modul-Auswahleinrichtungen jeweils eine Aufnahmeeinrichtung für die Aufnahme einer Vielzahl von Adressensignalen enthalten, welche so codiert sind, daß sie Verknüpfungsadressen der jeweils für einen Zugriff ausgewählten Speichermoduln bezeichnen, daß jede Adresseneinstelleinrichtung eine Addiererschaltungseinrichtung mit einer Aufnahmeeinrichtung für die Aufnahme der Eingangsadressensignale und eine Vergleichseinrichtung enthält, die mit der Addiererschaltungseinrichtung verbunden ist, daß erste Eingangseinrichtungen vorgesehen sind, welche eine Vielzahl von Eingangssignalen aufnehmen gestatten, die kennzeichnend sind für die maximale Anzahl von in dem System zu betreibenden Speichermoduln, daß zweite Eingangseinrichtungen vorgesehen sind, welche die Eingangsadressensignale aufnehmen, daß Ausgangsschalteneinrichtungen vorgesehen sind, welche ein Steuersignal erzeugen, welches anzeigt, wenn die maximal zulässige Adresse überschritten ist, daß jede der Addiererschaltungseinrichtungen durch das Steuersignal von der zugehörigen Vergleichereinrichtung daran gehindert wird, die Eingangsadressensignale zu modifizieren, daß die Addiererschaltungseinrichtung einer letzten Adressen-Einstelleinrichtung derart betrieben wird, daß sie Ausgangssignale erzeugt, die kennzeichnend sind für die Anzahl der in dem System arbeitenden Speichermoduln, und daß die Modul-Auswahleinrichtungen jeweils durch das Steuersignal von der Vergleichereinrichtung her daran gehindert werden, einen Zugriff zu dem Speichermodul in dem Fall zu ermöglichen, wenn eine Bezeichnung für einen Zugriff durch die Vielzahl der

Eingangsadressensignale vorliegt.

17. System nach Anspruch 16, dadurch gekennzeichnet, daß Verbindungsleitungsschaltungseinrichtungen vorgesehen sind, die so geschaltet sind, daß sie die Eingangssignale erzeugen, die kennzeichnend sind für die maximale Anzahl von in dem System arbeitenden Speichermoduln.
18. System nach Anspruch 17, dadurch gekennzeichnet, daß die Verbindungsschaltungseinrichtungen so geschaltet sind, daß sie Eingangssignale erzeugen, die in codierter Form die maximale Anzahl von Speichermoduln angeben, welche Anzahl geringer ist als die Vielzahl der Speichermoduln, und die damit eine bestimmte Anzahl von Reserve-
moduln angeben.
19. System nach Anspruch 16, dadurch gekennzeichnet, daß die Zentraleinheit (10) mit der letzten Einstelleinrichtung verbunden ist, daß die Zentraleinheit eine Vergleichereinrichtung enthält, welche eine erste Eingangseinrichtung für die Aufnahme der Adressensignale enthält, welche eines der Vielzahl von Moduln angeben, die für einen Zugriff bezeichnet sind, daß zweite Eingangseinrichtungen vorgesehen sind, die die Ausgangssignale aufnehmen, und daß Ausgangsschaltungseinrichtungen vorgesehen sind, welche ein Signal, welches kennzeichnend ist für einen nicht vorhandenen Speicherfehlerzustand, in dem Fall erzeugen, daß die Vergleichereinrichtung einen positiven Vergleich zwischen den Signalen feststellt, die den ersten und zweiten Eingangseinrichtungen zugeführt sind.

20. System nach Anspruch 16, dadurch gekennzeichnet, daß eine Eingangs-Verbindungsleitungsschaltungseinrichtung mit der Addiererschaltungseinrichtung einer ersten Einstelleinrichtung der Vielzahl von Einstelleinrichtungen verbunden ist und daß die Eingangs-Verbindungsleitungsschaltungseinrichtung so geschaltet ist, daß Eingangssignale erzeugt werden, die so codiert sind, daß sie eine um eins geringere Zahl darstellen als die niedrigste numerische zuteilbare Verknüpfungsadresse.
21. System nach Anspruch 20, dadurch gekennzeichnet, daß die niedrigste numerische Adresse einem nur aus Nullen bestehenden Code entspricht und daß die höchste numerische Verknüpfungsadresse der Anzahl von arbeitenden Speichermoduln entspricht.
22. Datenverarbeitungssystem, insbesondere nach einem der Ansprüche 1 bis 21, dadurch gekennzeichnet, daß eine zentrale Verarbeitungseinrichtung mit einer Einrichtung zur Erzeugung eines Befehlssignals vorgesehen ist, daß mit der zentralen Verarbeitungseinrichtung ein Speichersystem verbunden ist, welches eine Vielzahl von Speicherschnittstelleneinrichtungen enthält, die jeweils eine Vielzahl von unabhängig adressierbaren Speichermoduln aufweisen, welche an eine gemeinsam ausgenutzte Eingabe/Ausgabe-Sammelschiene angeschlossen sind, daß von der Vielzahl der Einstelleinrichtungen jeweils eine individuell dem jeweiligen Speichermodul zugeordnet ist, daß jede Einstelleinrichtung eine Eingangseinrichtung für die Aufnahme von Eingangsadressensignalen enthält, daß eine Addierereinrichtung vorgesehen ist, welche so geschaltet ist, daß sie die Eingangsadressensignale

2400161

von d r Eingangseinrichtung aufnimmt, und welche so betrieben ist, daß sie die Eingangsadressensignale modifiziert und Signale erzeugt, die kennzeichnend sind für eine zugeteilte Verknüpfungsadresse, die dazu benutzt ist, das zugehörige eine Speichermodul für einen Zugriff auszuwählen, daß eine Ausgangseinrichtung vorgesehen ist, die so geschaltet ist, daß sie die Signale von der Addierer-einrichtung aufnimmt, daß eine erste Adressen-Einstelleinrichtung der in einer Vielzahl vorgesehenen Adressen-Einstelleinrichtungen so geschaltet ist, daß sie anfangs bestimmte Adressensignale aufnimmt, die dazu herangezogen werden, die Verknüpfungsadresse des Moduls zu bezeichnen, welcher der niedrigste numerische Wert zugeteilt ist, daß die übrigen Adressen-Einstelleinrichtungen jeweils so in Reihe geschaltet sind, daß eine Addiererschaltung jeder der übrigen Einstelleinrichtungen Eingangsadressensignale von einer vorhergehenden Adressen-Einstelleinrichtung der übrigen Adressen-Einstelleinrichtungen aufnimmt, daß die Addiererschaltungs-Ausgangseinrichtung so geschaltet ist, daß sie die Verknüpfungsadresse an eine nachfolgende Adressen-Einstelleinrichtung der übrigen Adressen-Einstelleinrichtungen abgibt, daß eine Fehlerdetektoreinrichtung mit jedem der Speichermoduln der Schnittstelleneinrichtung wirksam verbunden ist, daß die Fehlerdetektoreinrichtung so betrieben ist, daß sie ein Fehlerprüfsignal jeweils dann erzeugt, wenn sie feststellt, daß ein für einen Zugriff ausgewähltes Speichermodul einen Operationszyklus unrichtig ausgeführt hat, womit angezeigt wird, daß das betreffende Modul, zu welchem ein Zugriff erfolgt ist, fehlerhaft ist, daß mit der Fehlerdetektoreinrichtung eine Speicher-

2400161

einrichtung verbunden ist, welche die Anzeigen bezüglich solcher Moduln speichert, die für einen Zugriff ausgewählt worden sind und sich als fehlerhaft herausgestellt haben, daß mit der Speichereinrichtung und mit jeder Adressen-Einstelleinrichtung eine Verknüpfungseinrichtung verbunden ist, die auf das Auftreten eines Befehlssignals hin Signale erzeugt, die kennzeichnend sind für solche, für einen Zugriff ausgewählten Speichermoduln, die als fehlerhaft angezeigt worden sind, und daß die Addierereinrichtung jedes fehlerhaften Moduls durch die Signale daran gehindert wird, die Eingangsadressensignale zu ändern, derart, daß die Zuteilung der Verknüpfungsadressen geändert und die Abschaltung sämtlicher fehlerhafter Speichermoduln sowie die Neuzusammenstellung der übrigen Speichermoduln zur Bildung eines fortlaufenden neuen Adressenraumes ermöglicht wird.

23. System nach Anspruch 22, dadurch gekennzeichnet, daß eine Verbindungseinrichtung vorgesehen ist, die die zentrale Verarbeitungseinrichtung mit zumindest einer der in der Vielzahl vorgesehenen Adressen-Einstelleinrichtungen verbindet, die in jeder der Vielzahl von Speicherschnittstelleneinrichtungen für die Aufnahme von Signalen enthalten sind, welche kennzeichnend sind für eine zugeteilte Verknüpfungsadresse mit dem höchsten numerischen Wert, und daß die letzte Adressen-Einstelleinrichtung jeder Speicherschnittstelleneinrichtung durch die Adressen-Einstelleinrichtung der fehlerhaften Speichermoduln veranlaßt wird, die Verknüpfungsadresse mit dem höchsten numerischen Wert um die Anzahl der fehlerhaften Speichermoduln zu verringern, derart, daß der zentralen

409829/0977

Verarbeitungseinrichtung die restliche Anzahl der Moduln angezeigt wird, die in jeder d r Speicherschnittstelleneinrichtungen arbeiten.

24. Speichersystem für die Verwendung in einem Datenverarbeitungssystem nach einem der Ansprüche 1 bis 23, dadurch gekennzeichnet, daß eine Vielzahl von unabhängig adressierbaren Speichermoduln vorgesehen ist, daß eine entsprechende Anzahl von Speicherauswahleinrichtungen vorgesehen ist, die mit unterschiedlichen Speichermoduln jeweils verbunden sind, daß jede Modulauswahleinrichtung eine Eingangseinrichtung für die Aufnahme einer Vielzahl von Adressenauswahlsignalen enthält, die bezeichnen, welche der Speichermoduln für einen Zugriff adressiert worden sind, daß jede Modulauswahleinrichtung eine Ausgangseinrichtung enthält, welche Signale für einen Zugriff des Moduls erzeugt, daß eine Fehlerdetektoreinrichtung mit jedem der Speichermoduln verbunden ist, daß die Fehlerdetektoreinrichtung eine Feststelleinrichtung enthält, welche einen minimalen Zuverlässigkeits-Standardwert bezüglich einer Information ermittelt, die aus den Speichermoduln herausgeführt worden ist, daß mit den Feststelleinrichtungen eine Speichereinrichtung verbunden ist, die Signale erzeugt, welche eine Anzeige liefern, wenn irgendeines der Speichermoduln nicht den minimalen Standardwert erfüllt hat, womit signalisiert wird, daß das betreffende Modul fehlerhaft ist, daß mit den Speichereinrichtungen und jeder Speichermodulauswahleinrichtung eine Neuzusammenstellungs-Verknüpfungseinrichtung verbunden ist, die eine Vielzahl von Adressen-Einstelleinrichtungen enthält, welche individuell den Speichermoduln zugeordnet sind, daß eine erste

Einstelleinrichtung so geschaltet ist, daß sie ein n bestimmten Satz von Adressensignalen aufnimmt, daß die übrigen Einstelleinrichtungen derart in Reihe geschaltet sind, daß jede Einstelleinrichtung eine Eingangsadresse von einer vorhergehenden Einstelleinrichtung aufnimmt, daß jede Einstelleinrichtung derart betrieben ist, daß sie Adressensignale modifiziert und die modifizierten Adressensignale an eine nachfolgende Einstelleinrichtung sowie an die Auswahleinrichtung des zugehörigen Moduls abgibt, daß mit jeder Adressen-Einstelleinrichtung und jeder Modul-Auswahleinrichtung eine Freigabe-Verknüpfungseinrichtung verbunden ist, die ferner mit der Speichereinrichtung verbunden ist und die so betrieben ist, daß sie auf ein Befehlssignal hin Signale an die Adressen-Einstelleinrichtungen und an die Auswahleinrichtungen jeglicher Speichermoduln abgibt, die durch die Signale von den Speichereinrichtungen her als fehlerhaft bezeichnet sind, und daß die Steuersignale die Adressen-Einstelleinrichtungen veranlassen, die Eingangsadressensignale zu modifizieren, während die zugehörigen Modul-Auswahleinrichtungen veranlaßt werden, Signale für den Zugriff zu dem Modul auf die Adressen-Auswahlsignale hin zu erzeugen.

25. Datenspeichersystem mit einer Vielzahl von unabhängig adressierbaren Speichermoduln und einer Vielzahl von Modul-Auswahlschaltungen, deren jede das zugehörige Speichermodul für einen Zugriff in dem Fall auszuwählen vermag, daß ein Satz von Modul-Adressensignalen auftritt, und mit einem Neuzusammenstellungs-Steuersystem, insbesondere in einem Datenverarbeitungssystem nach einem der Ansprüche 1 bis 23, dadurch gekennzeichnet, daß das

2400161

Neuzusammenstellungs-Steuersystem eine Vielzahl von Modul-Einstelleinrichtung n enthält, die individuell den Modul-Auswahlschaltungen zugeordnet sind, daß eine erste Einstelleinrichtung so geschaltet ist, daß sie bestimmte Eingangsadressensignale aufnimmt, daß die übrigen Einstelleinrichtungen derart in Reihe geschaltet sind, daß jede Einstelleinrichtung Eingangsadressensignale von einer Einstelleinrichtung eines vorhergehenden Moduls aufnimmt und modifizierte Adressensignale entsprechend einem Verknüpfungszustand als Eingangssignale einer Einstelleinrichtung eines nachfolgenden Moduls und an die eine Auswahlschaltung abgibt, daß Prüfeinrichtungen vorgesehen sind, die so geschaltet sind, daß sie zu jedem der Speichermoduln einen Zugriff haben, daß die Prüfeinrichtungen derart betrieben sind, daß sie einen Prüfzustand dadurch ermitteln, daß sie eine Prüfoperation auf die Informationsbits hinaus führen, die durch den Zugriff aus einem Modul erhalten werden, welches auf den Satz der Modul-Adressensignale hin ausgewählt ist, daß mit der Prüfeinrichtung eine Vielzahl von Speichereinrichtungen verbunden ist, die individuell jedem Speichermodul zugeordnet sind und die so angeordnet sind, daß sie ein Signal zu speichern gestatten, welches kennzeichnend ist für das Auftreten eines durch die betreffende Prüfeinrichtung festgestellten Prüfzustands in dem zugehörigen Modul, daß mit den Speichereinrichtungen und den Modul-Einstelleinrichtungen eine Verknüpfungseinrichtung verbunden ist, welche ein Steuersignal aufnimmt und welche auf das Steuersignal hin Signale an die Auswahlschaltungen und an die den Speichereinrichtungen jeweils zugehörigen Einstelleinrichtungen abgibt, wobei die Signale den Prüfzustand anzeigen, daß die zuletzt genannten Auswahl-

409829/0977

einrichtungen durch die Signale veranlaßt werden, den Zugriff zu den zugehörigen Speichermoduln zu sperren, und daß die zuletzt genannte Einstelleinrichtung durch die betreffenden Signale veranlaßt wird, die Modifizierung der Eingangssignale zu sperren und damit die Zuteilung der Verknüpfungsadressen unter Herbeiführung einer Neuzusammenstellung der übrigen Moduln und Bildung eines neuen fortlaufenden Adressenraumes zu ändern.

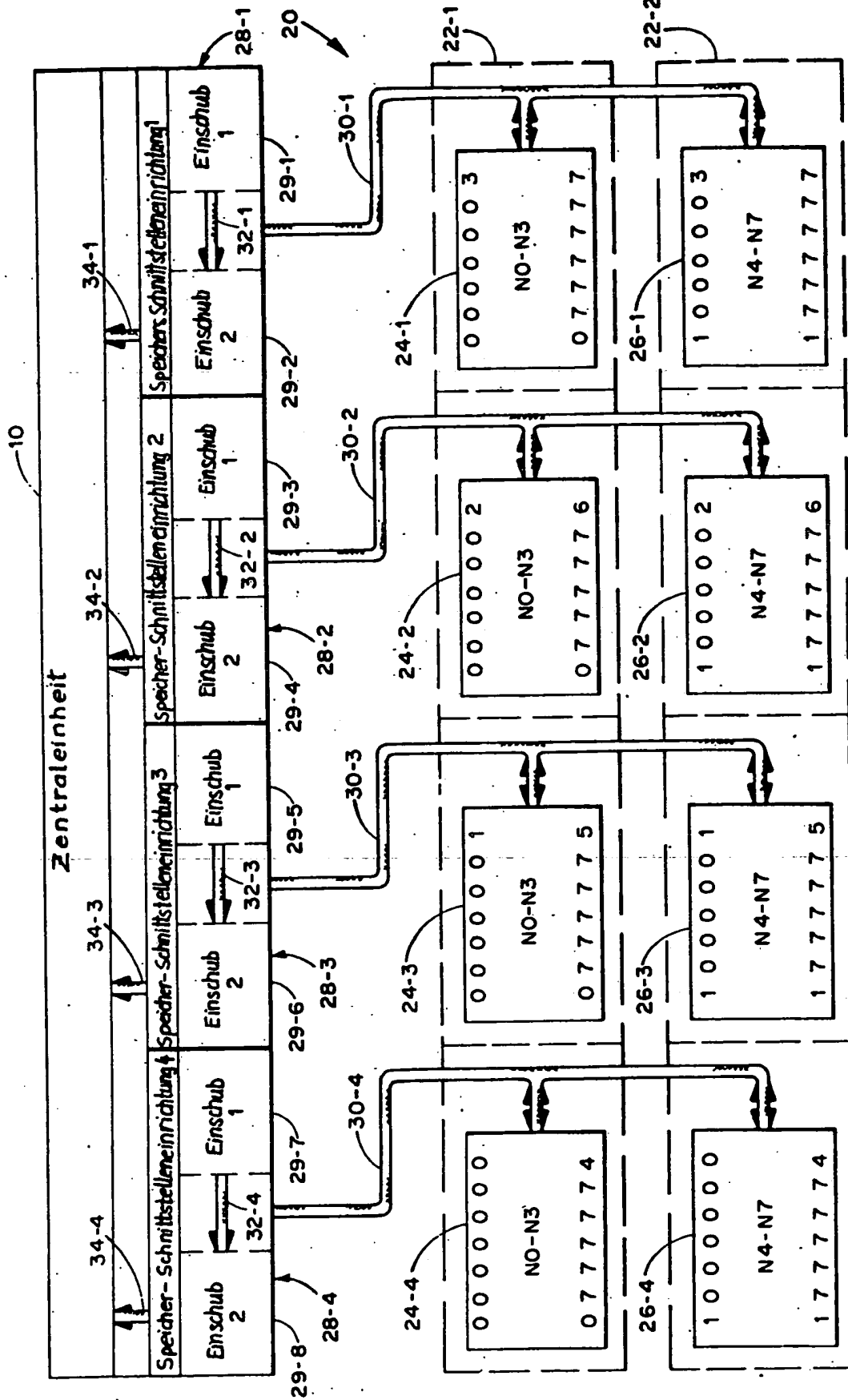
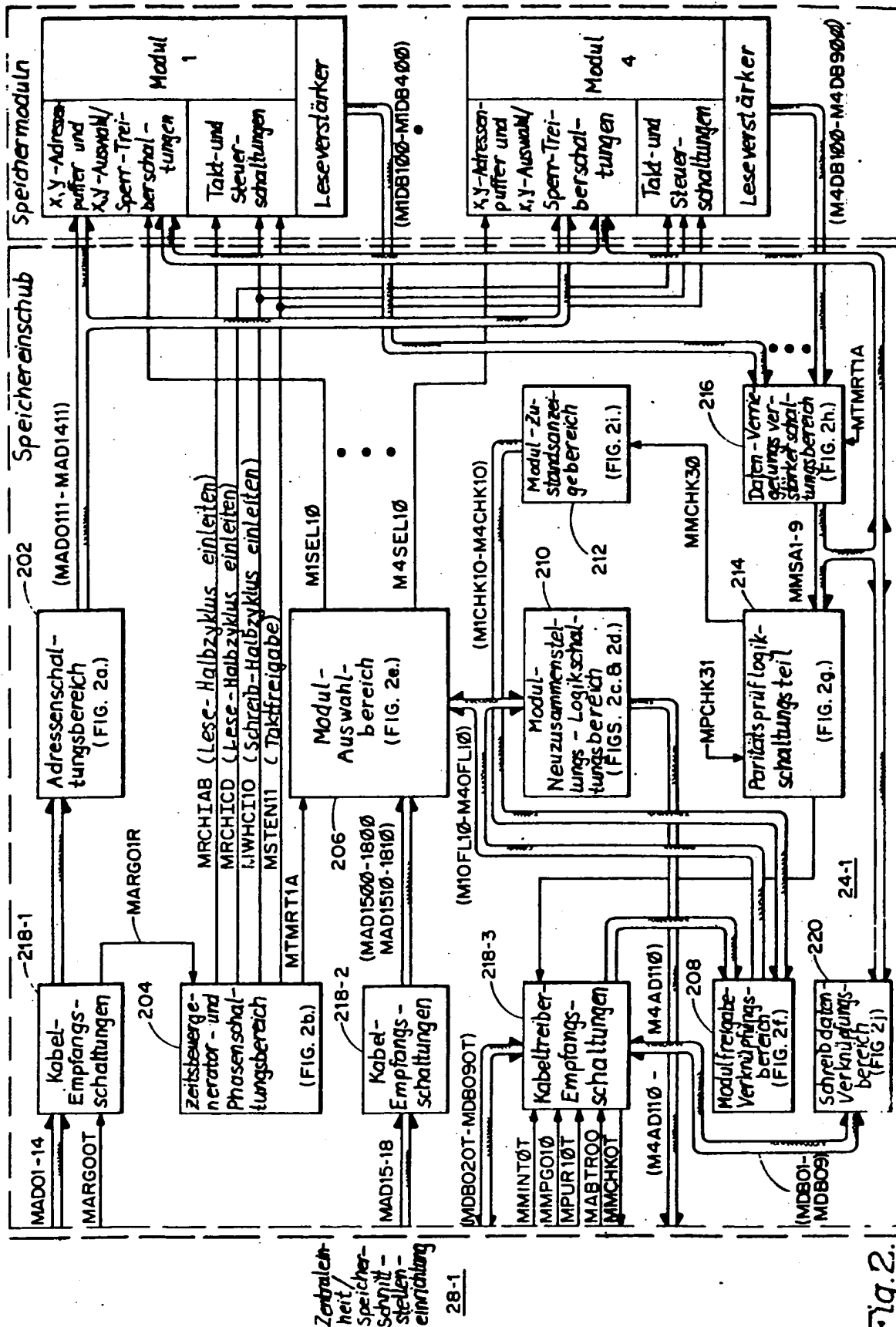


Fig. 1.

409829/0977

42m3 9-20 AT: 03.01.1974 OT: 18.07.1974



Zentralheit/
Speicher-
Schnitt-
stellen-
einrichtung
28-1

409829/0977

Fig. 2.

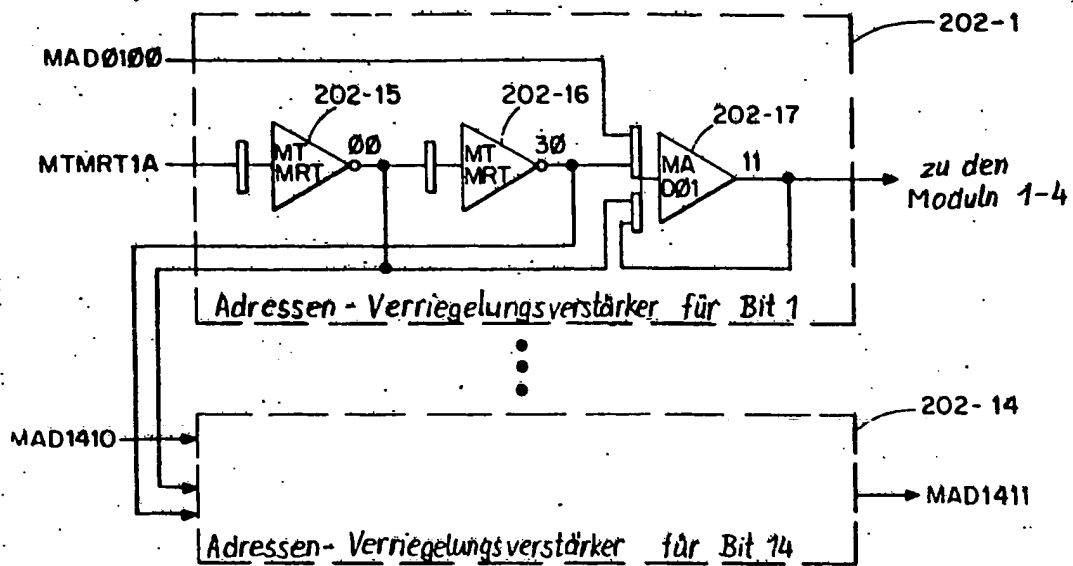


Fig. 2a.

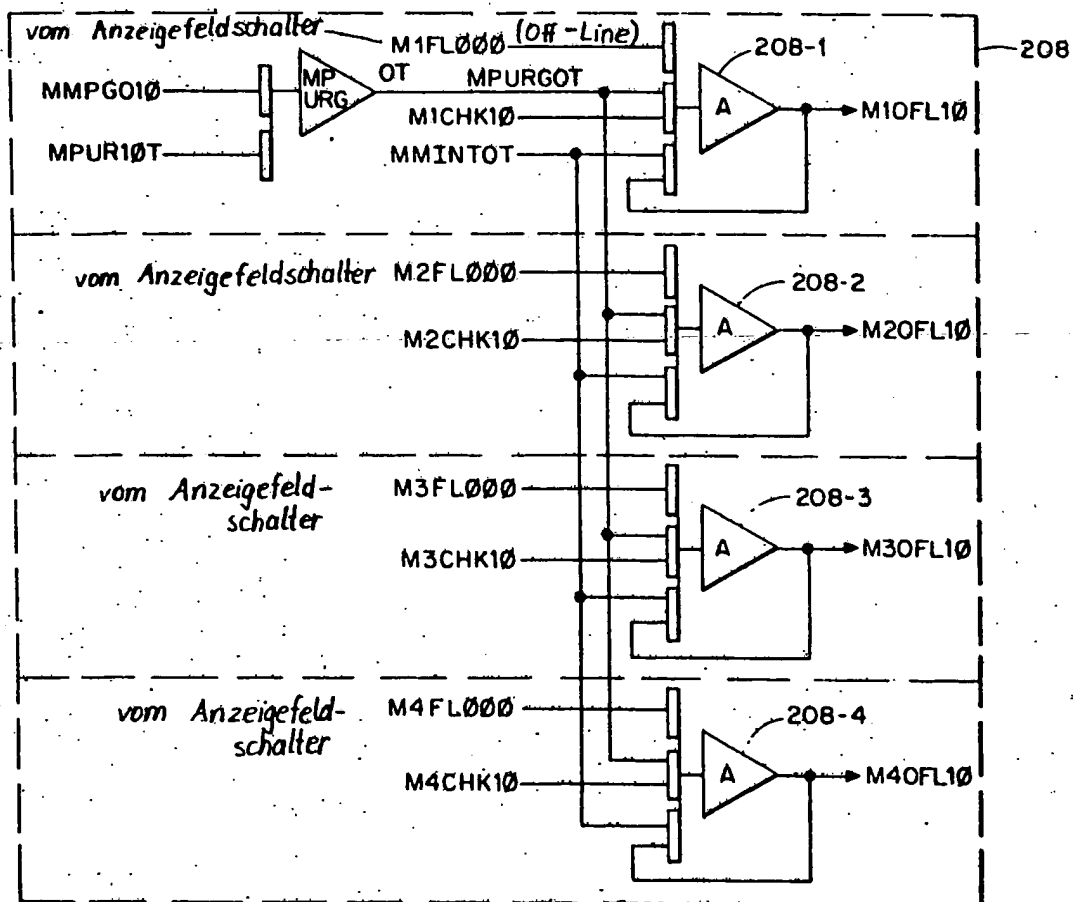


Fig. 2f.

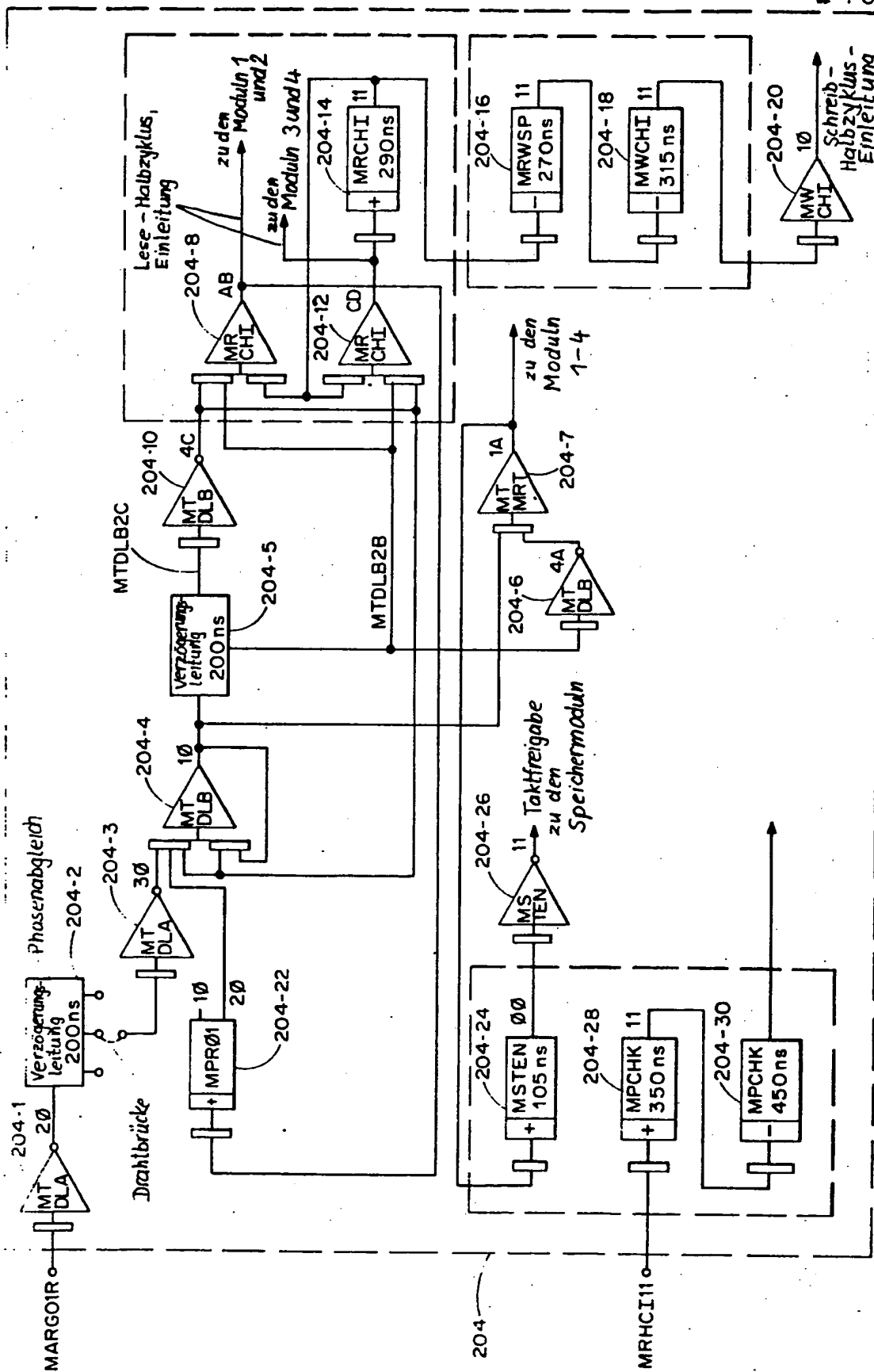


Fig. 2b.

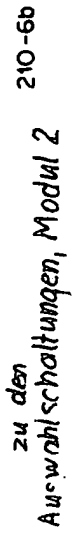
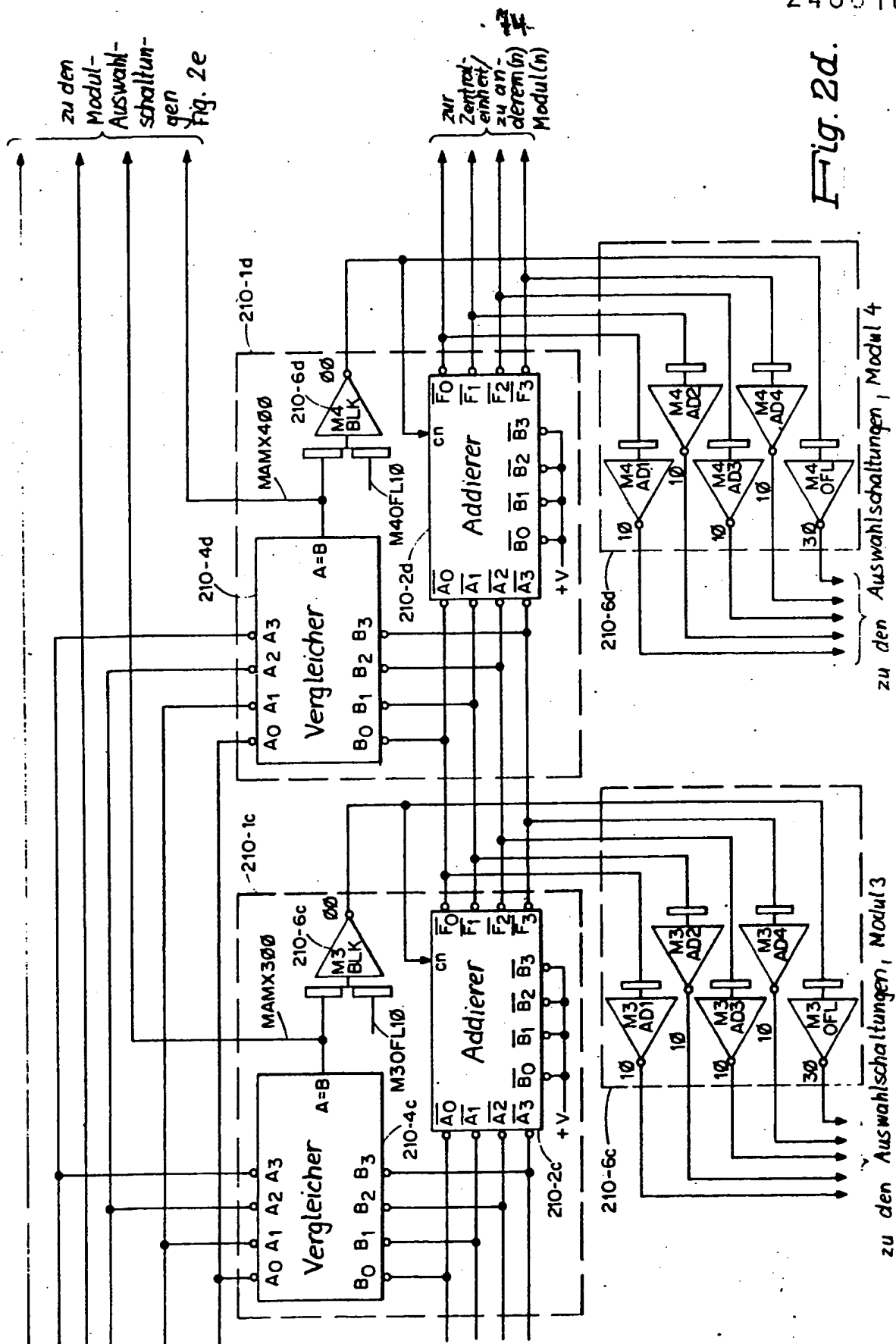


Fig. 2c.



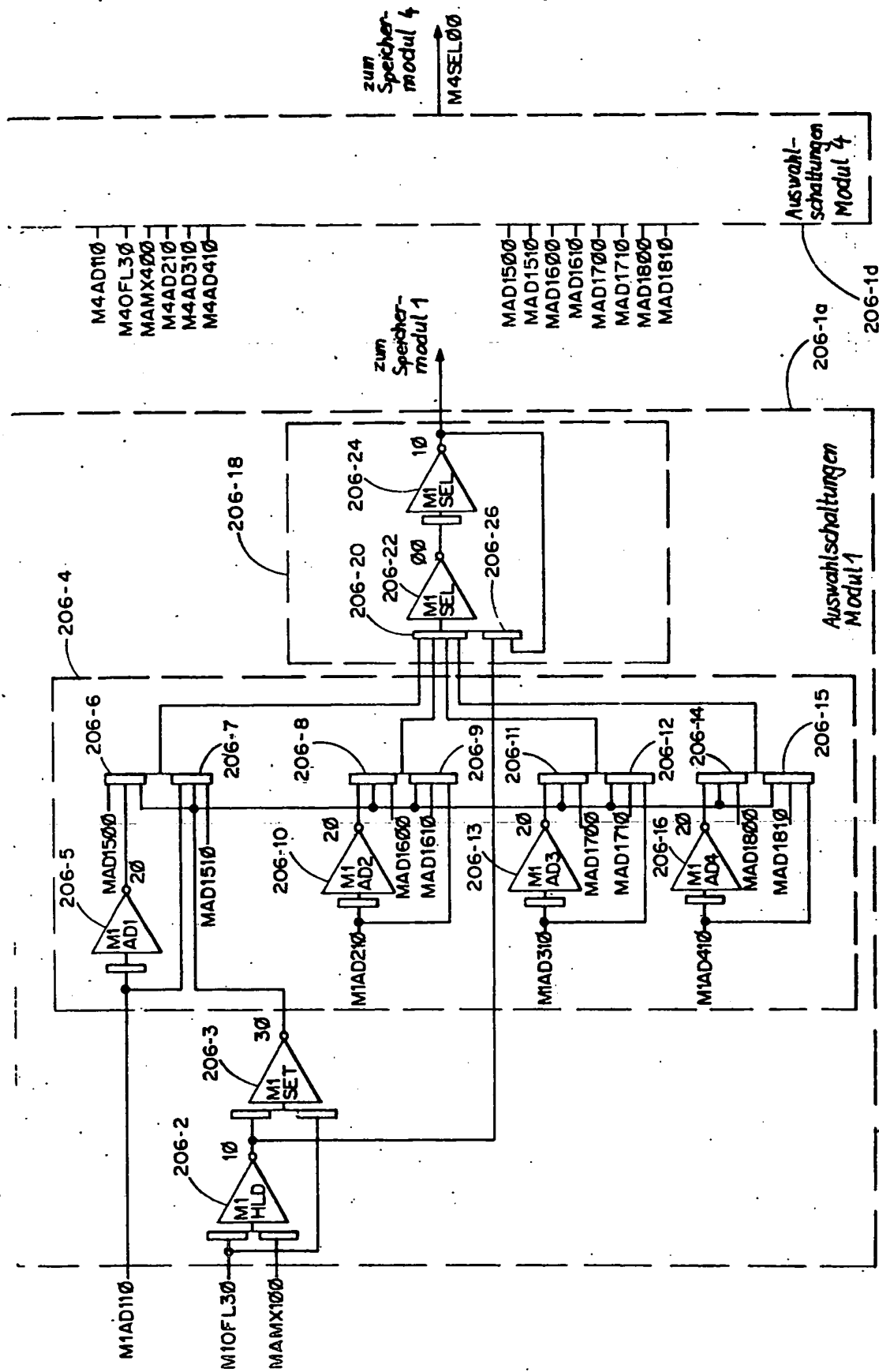


Fig. 2a.

-76-

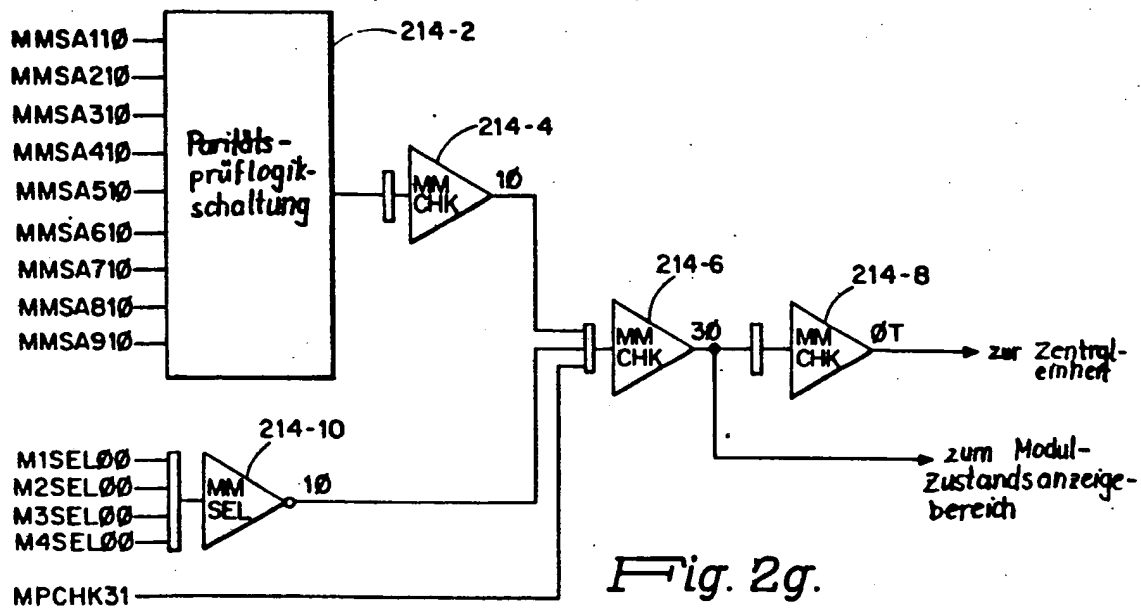


Fig. 2g.

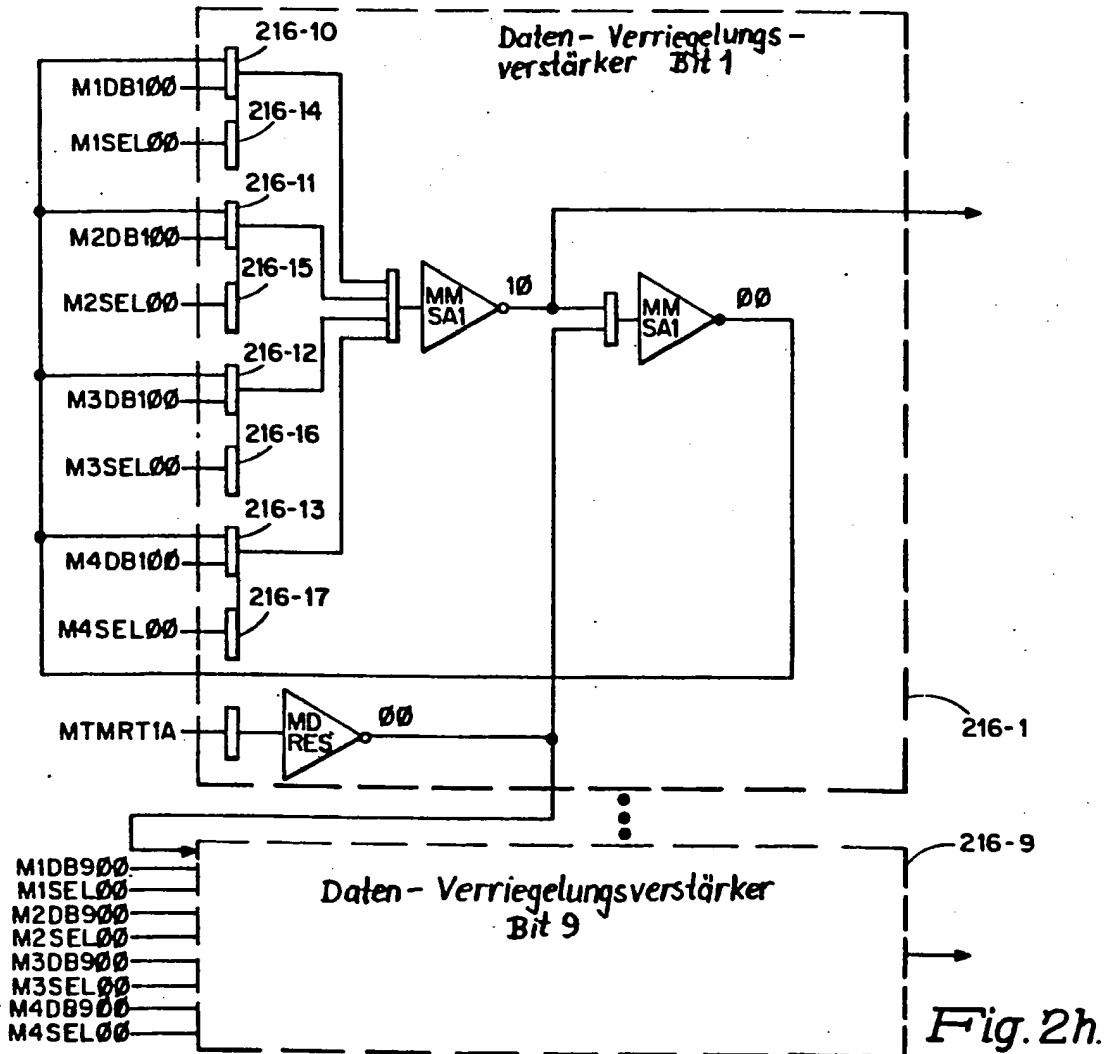
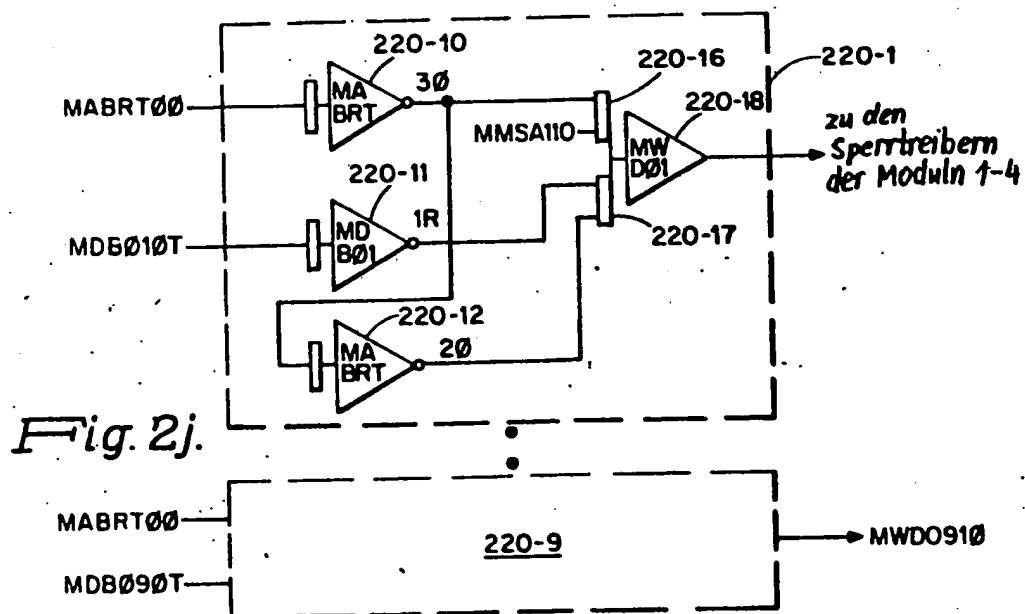
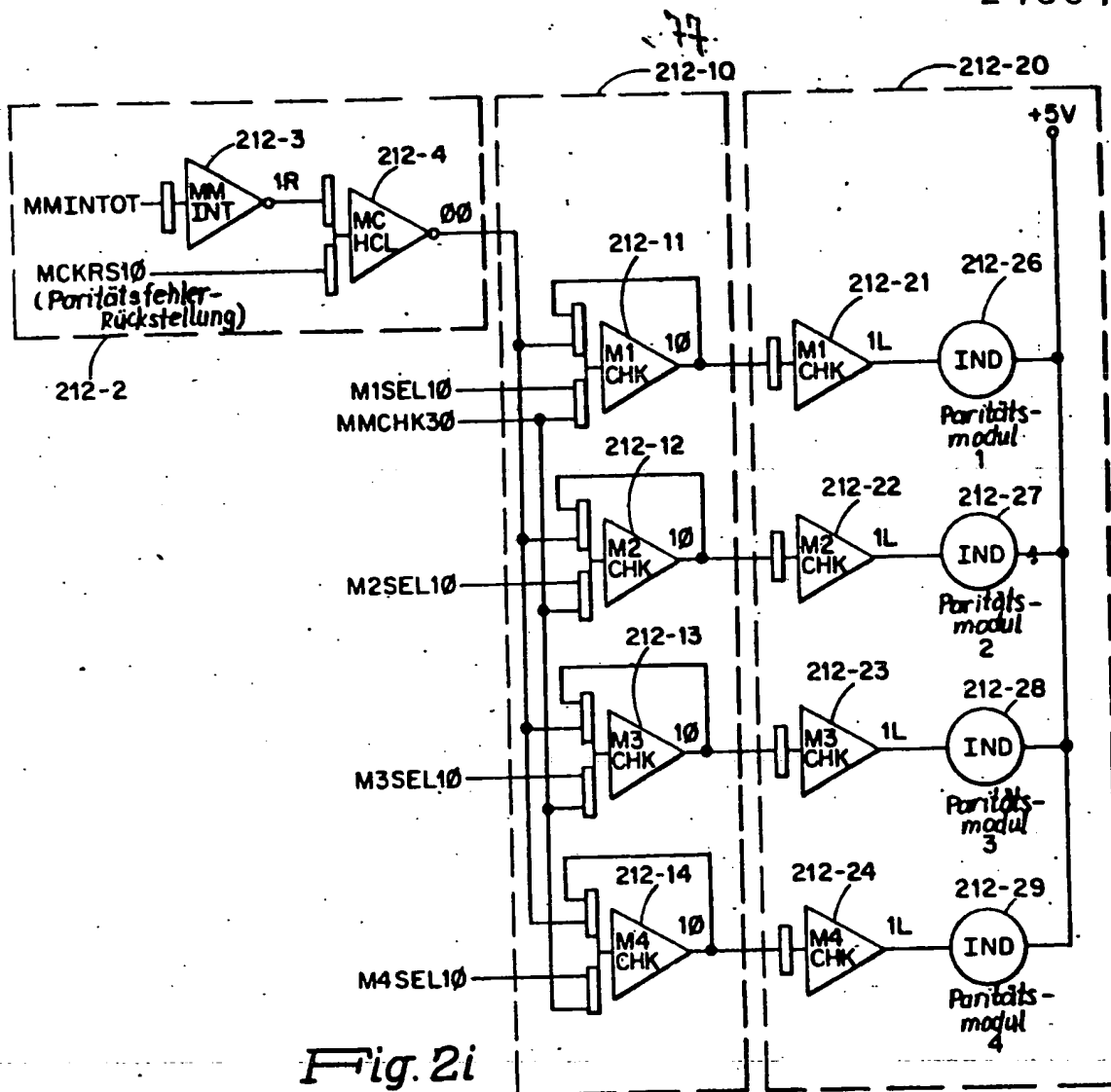


Fig. 2h.



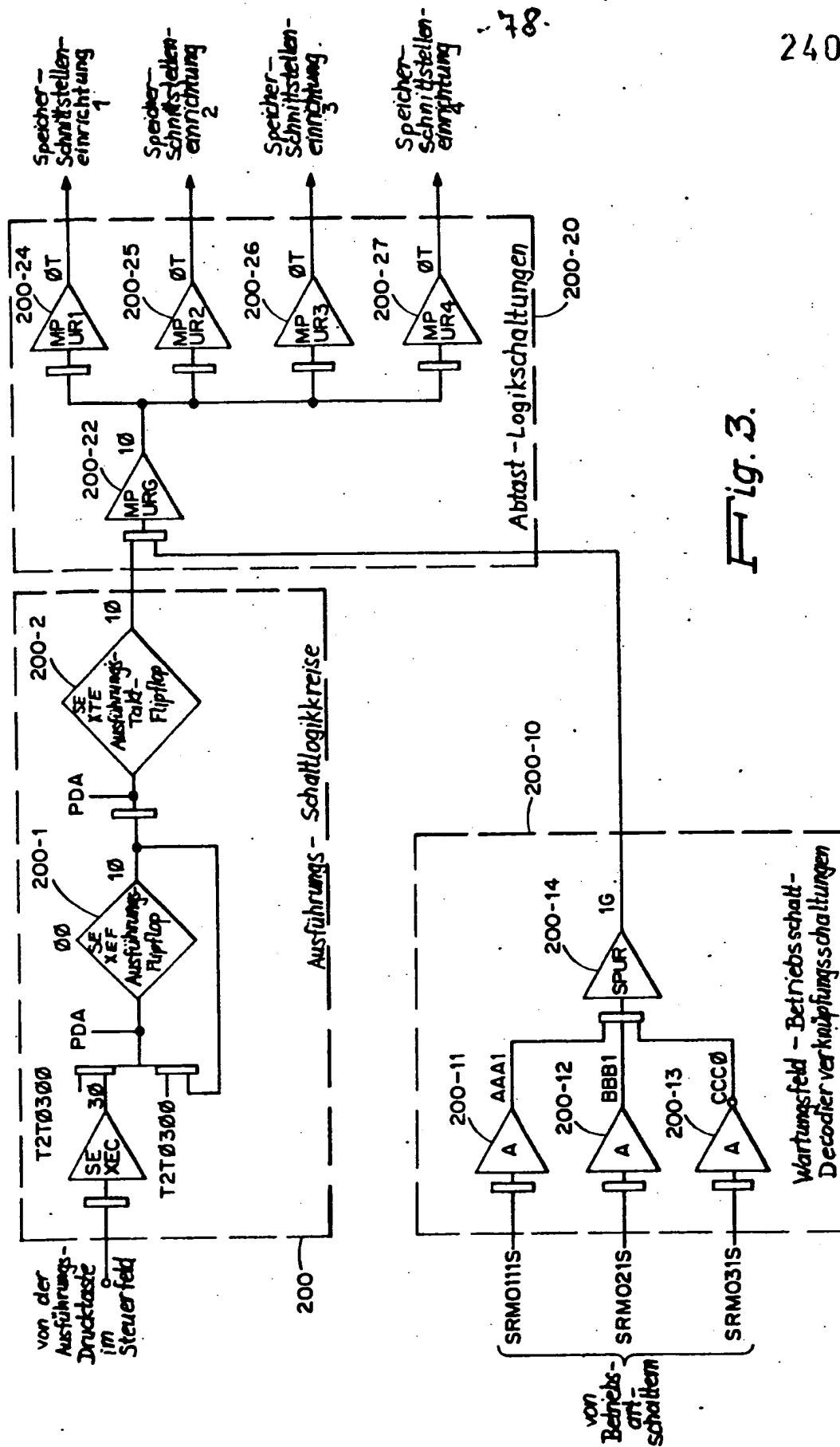


Fig. 3.

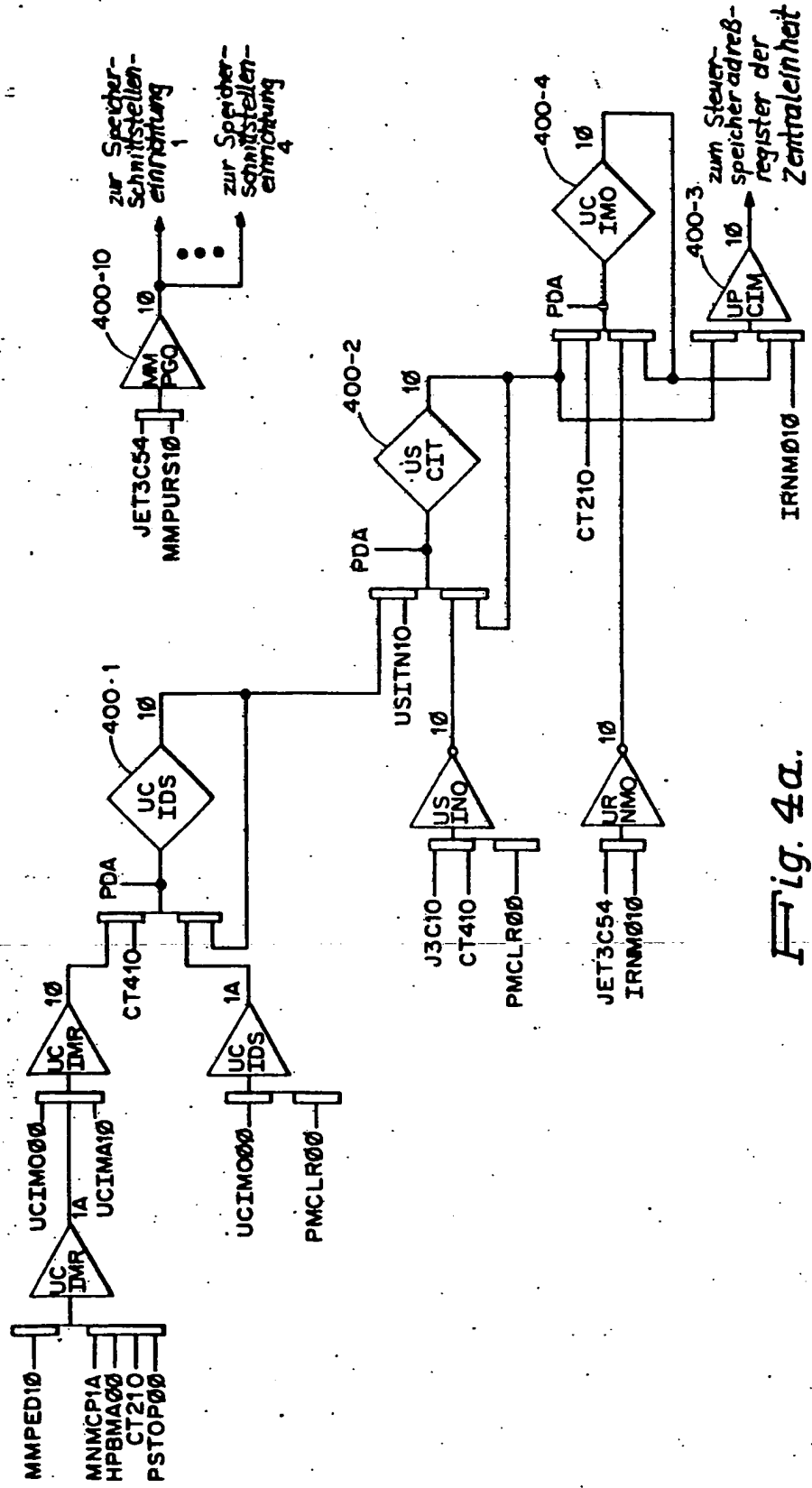


Fig. 4a.

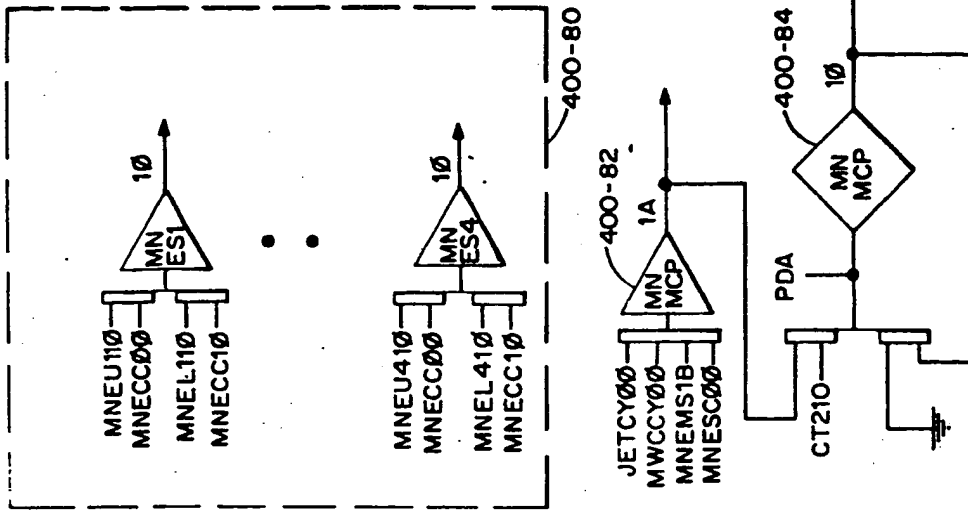
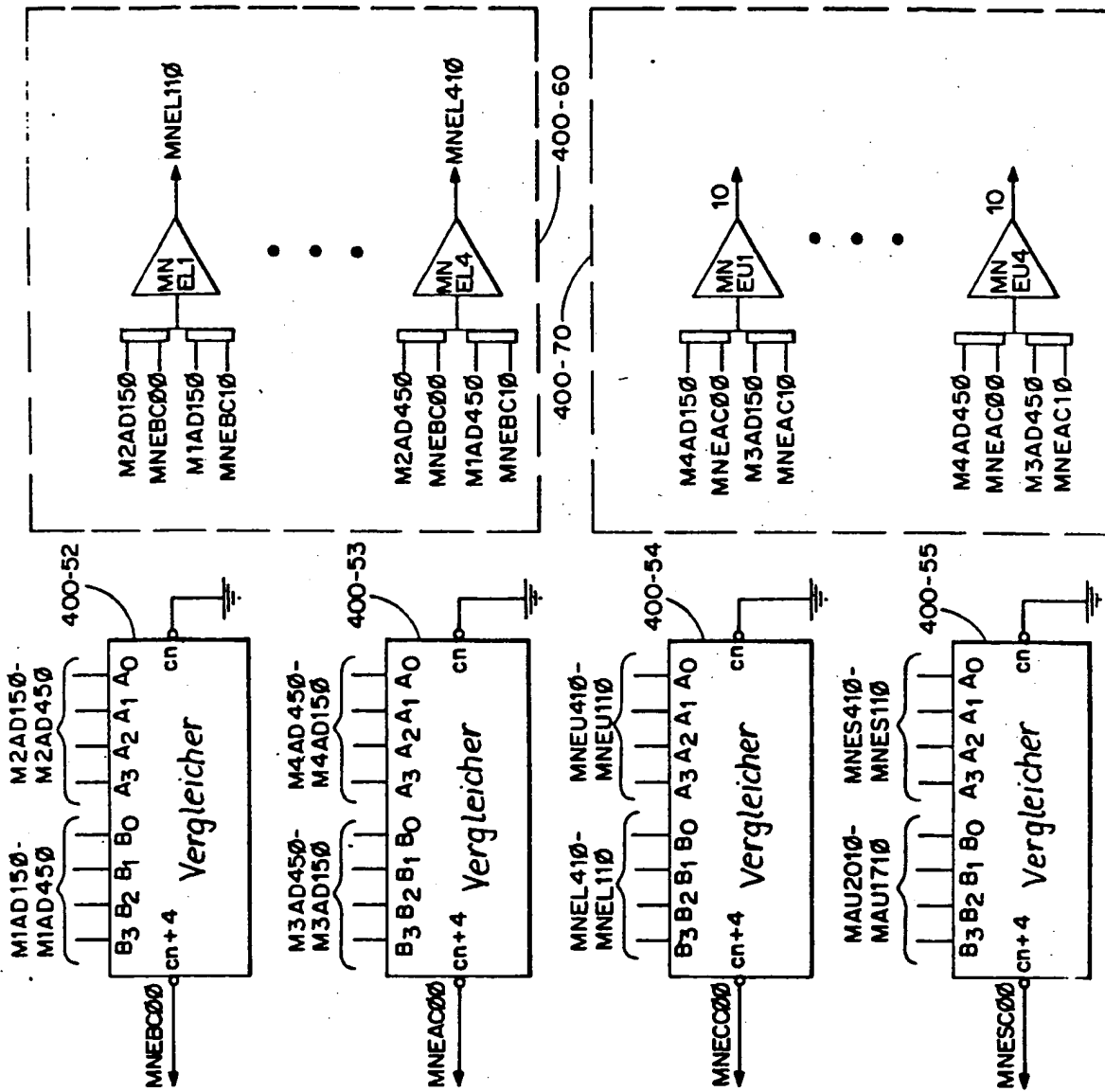


Fig. 4b.

Maximalgrenze

Adressenraum

Zeilen

16.384 Zeilen

Schnittstelle 1 Schnittstelle 2 Schnittstelle 3 Schnittstelle 4

Spalten (Schnittstelleneinrichtung)

U

T

S

R

G F E D C B A Z

(0111)	28	29	30	31
(0110)	24	25	26	27
(0101)	20	21	22	23
(0100)	16	17	18	19
(0011)	12	13	14	15
(0010)	8	9	10	11
(0001)	4	5	6	7
(0000)	0	1	2	3

Fig. 5b.

Maximalgrenze

Adressenraum

Zeilen

Modul-Nr.

Schnittstelle 1 Schnittstelle 2 Schnittstelle 3 Schnittstelle 4

Spalten (Schnittstelleneinrichtung)

U

T

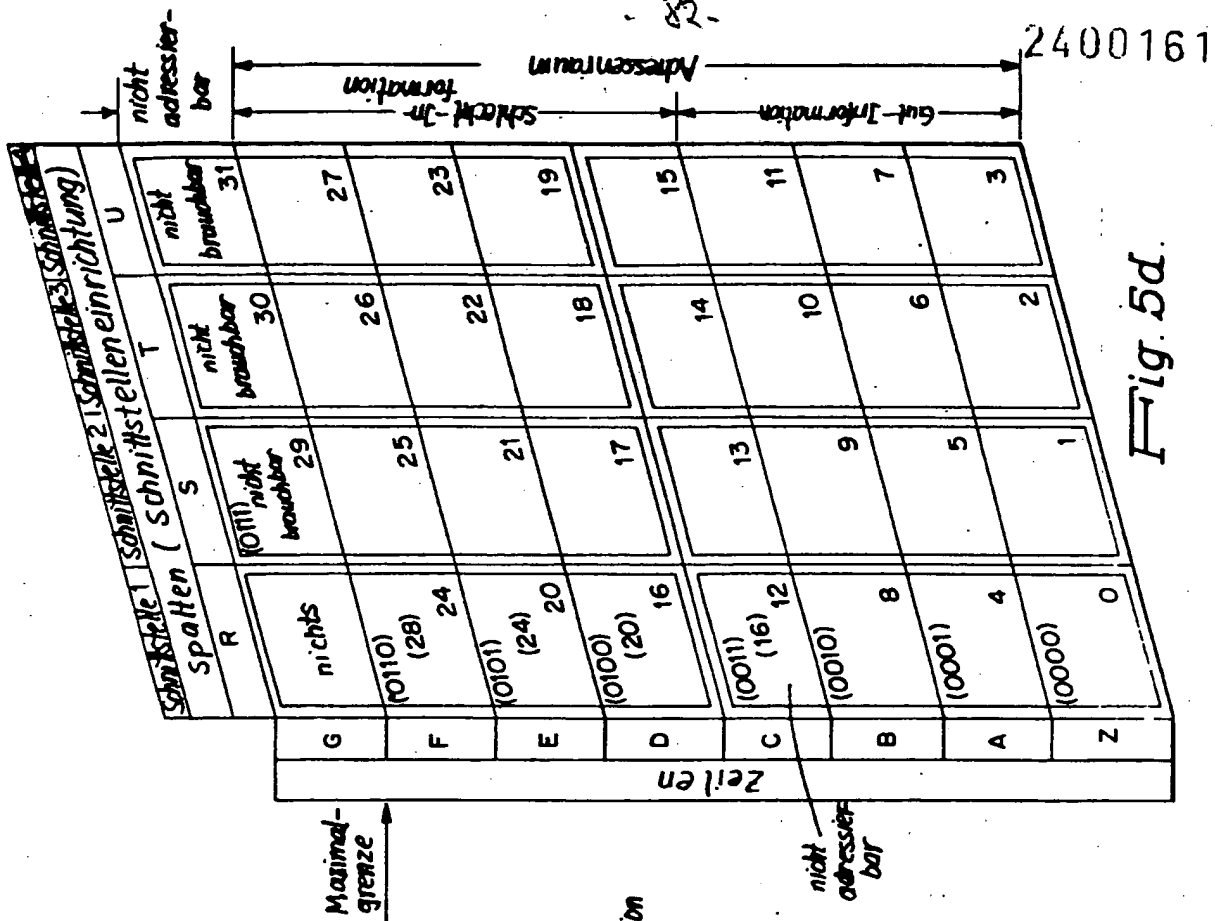
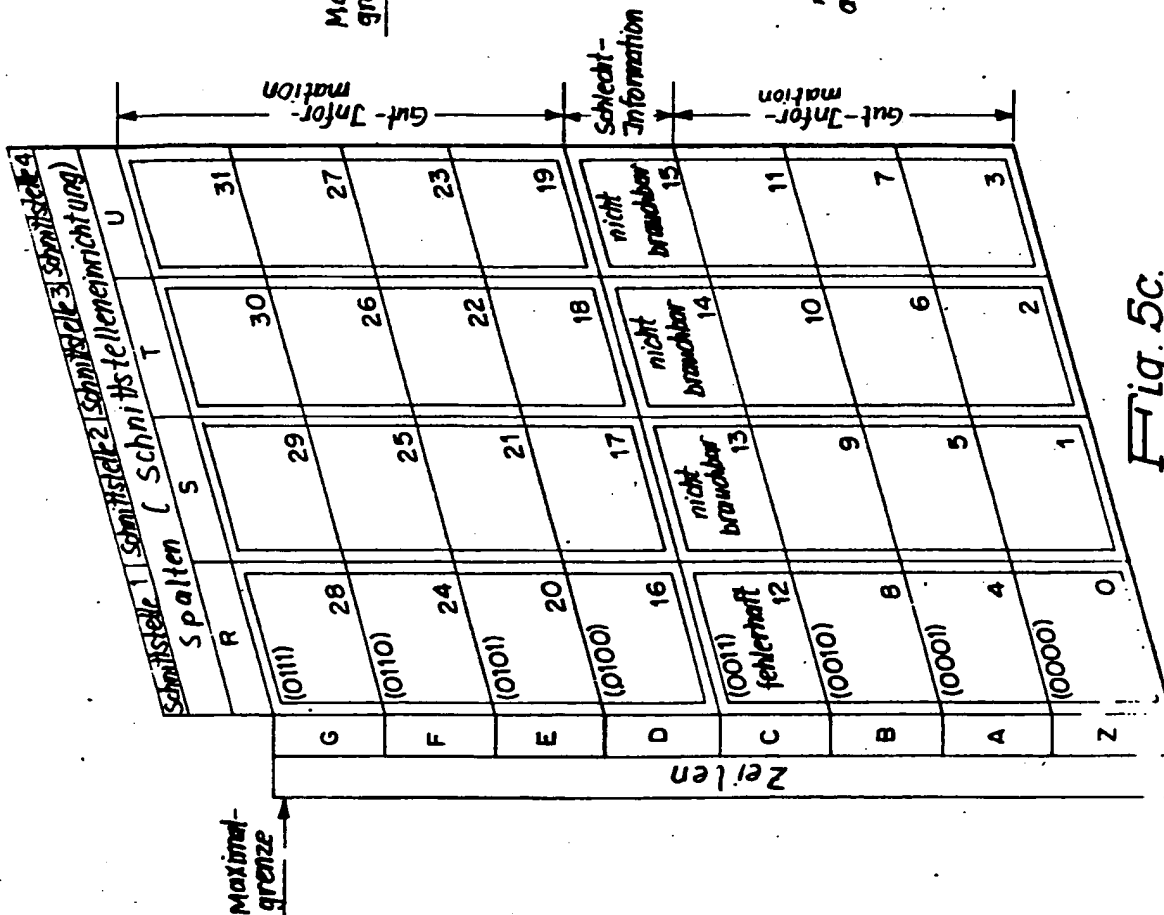
S

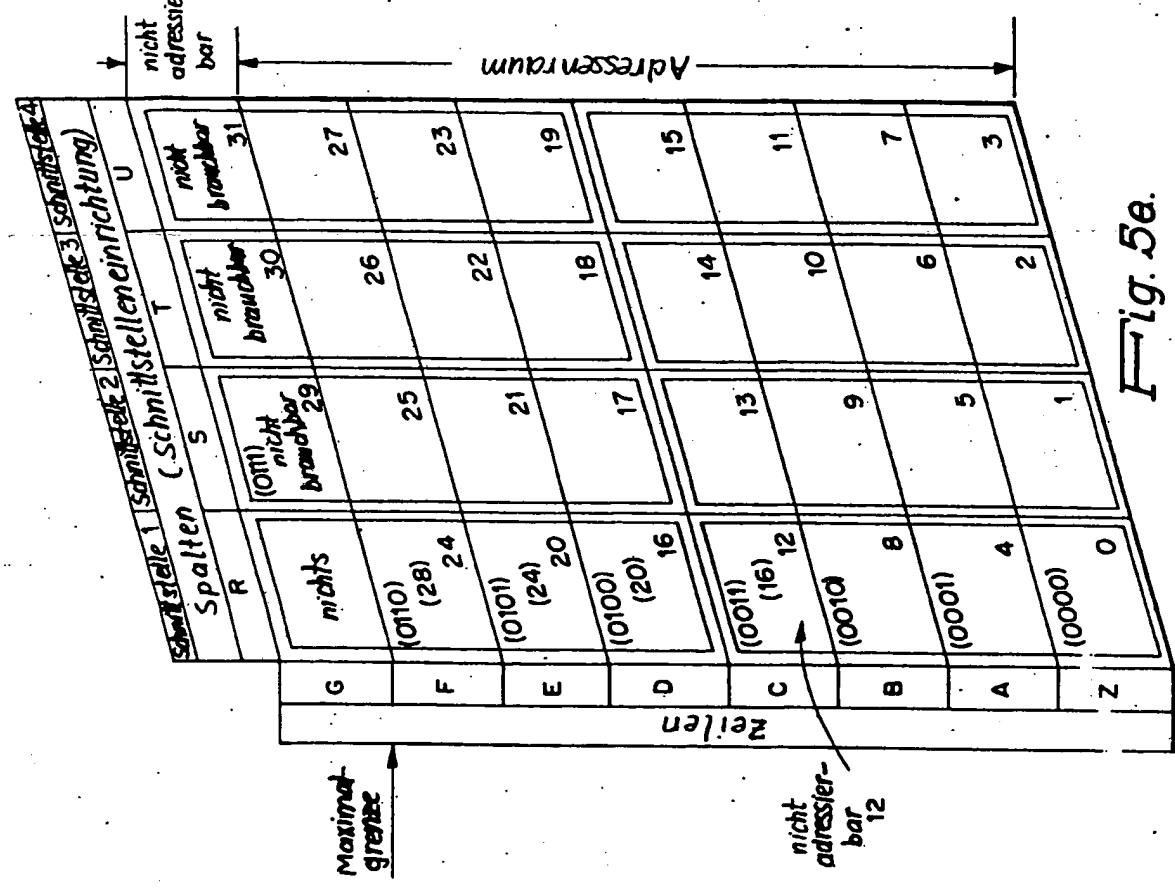
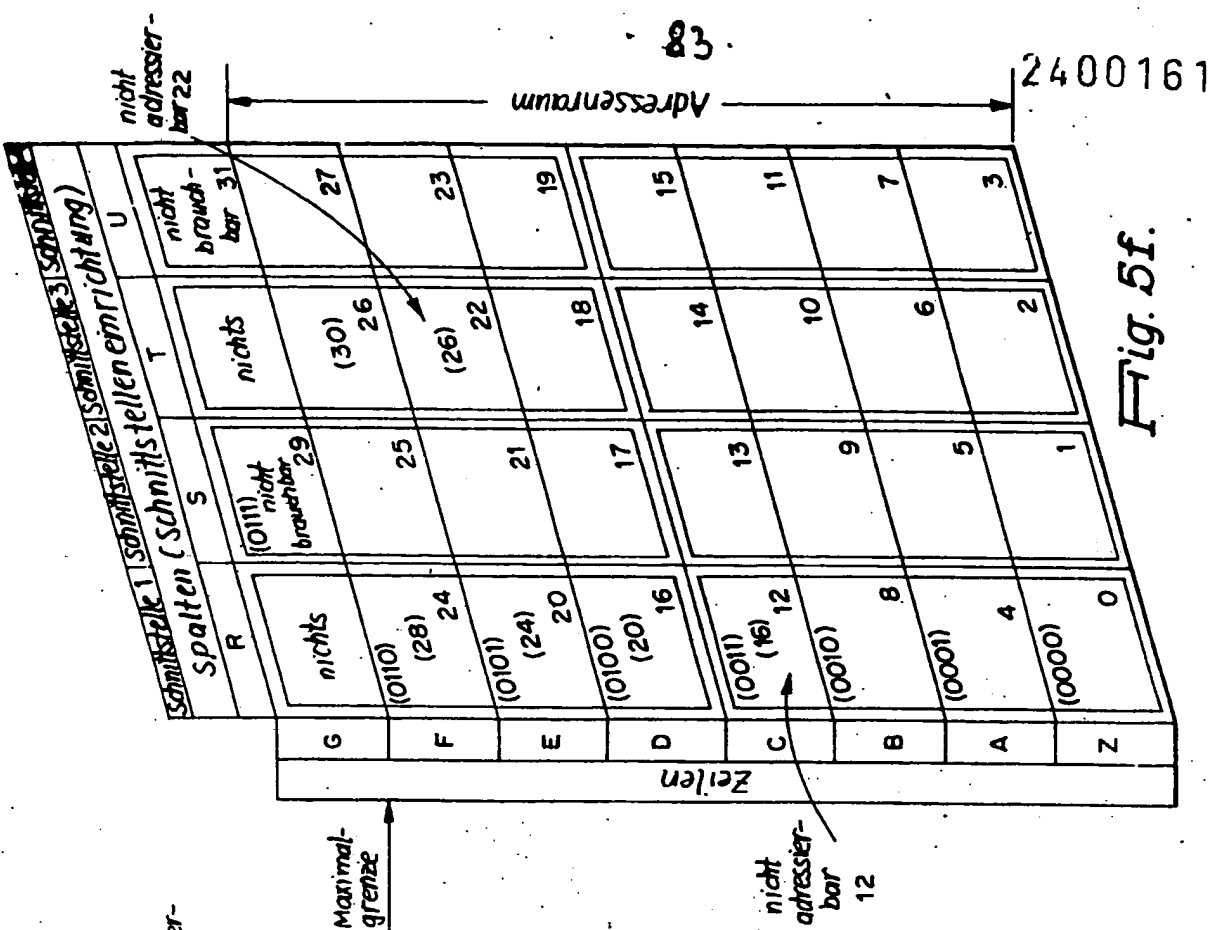
R

G F E D C B A Z

(0111)	28	29	30	31
(0110)	24	25	26	27
(0101)	20	21	22	23
(0100)	16	17	18	19
(0011)	12	13	14	15
(0010)	8	9	10	11
(0001)	4	5	6	7
(0000)	0	1	2	3

Fig. 5a.





409829/0977

